

併合親 2002-26366 6

SERA et al  
Filed 9/9/03  
Q 77403  
2 of 2

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年   8 月   4 日  
Date of Application:

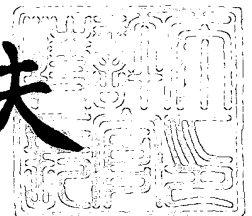
出 願 番 号            特 願 2 0 0 3 - 2 8 5 7 8 0  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 3 - 2 8 5 7 8 0 ]

出   願   人            日 本 電 気 株 式 有 限 公 司  
Applicant(s):

2 0 0 3 年   8 月 2 2 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証特 2 0 0 3 - 3 0 6 9 1 0 4

【書類名】 特許願  
【整理番号】 34803897  
【提出日】 平成15年 8月 4日  
【あて先】 特許庁長官殿  
【国際特許分類】 H01L 29/786  
H01L 27/12  
G09G 3/30  
G09G 3/36

【発明者】  
【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内  
【氏名】 土 弘

【発明者】  
【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内  
【氏名】 世良 賢二

【特許出願人】  
【識別番号】 000004237  
【氏名又は名称】 日本電気株式会社

【代理人】  
【識別番号】 100080816  
【弁理士】  
【氏名又は名称】 加藤 朝道  
【電話番号】 045-476-1131

【先の出願に基づく優先権主張】  
【出願番号】 特願2002-263606  
【出願日】 平成14年 9月10日

【手数料の表示】  
【予納台帳番号】 030362  
【納付金額】 21,000円

【提出物件の目録】  
【物件名】 特許請求の範囲 1  
【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1  
【包括委任状番号】 9304371

**【書類名】 特許請求の範囲****【請求項 1】**

絶縁性基板上に、少なくとも、多結晶シリコン膜を活性層とする n チャネル型の薄膜トランジスタ (T F T) 及び p チャネル型の T F T を備える薄膜半導体装置において、

同一チャネル型の中に、閾値電圧の異なる複数種の T F T を含み、異なるチャネル型の中に、同一のドーパントがチャネル領域に略等しい濃度で導入された T F T を含むことを特徴とする薄膜半導体装置。

**【請求項 2】**

前記閾値電圧の異なる複数種の T F T は、チャネル領域に P 型又は N 型の一方のドーパントを含む T F T と、チャネル領域にドーパントを含まない T F T とにより構成されることを特徴とする請求項 1 記載の薄膜半導体装置。

**【請求項 3】**

前記閾値電圧の異なる複数種の T F T は、チャネル領域に P 型又は N 型の一方のドーパントを含む T F T と、チャネル領域に P 型及び N 型の双方のドーパントを含む T F T とにより構成されることを特徴とする請求項 1 記載の薄膜半導体装置。

**【請求項 4】**

回路動作時にアイドル電流を必要とするアナログ回路部と、スイッチと、を少なくとも備え、前記アナログ回路部は、前記閾値電圧の異なる複数種の T F T のうちの閾値電圧の低い T F T を前記アイドル電流の電流パス上に含んで構成され、前記スイッチは、前記閾値電圧の異なる複数種の T F T のうちの閾値電圧の高い T F T で構成されることを特徴とする請求項 1 乃至 3 のいずれかーに記載の薄膜半導体装置。

**【請求項 5】**

前記アナログ回路部は、前記アイドル電流の電流パス上に前記スイッチを含み、該スイッチにより前記アイドル電流が遮断されることを特徴とする請求項 4 記載の薄膜半導体装置。

**【請求項 6】**

前記アナログ回路部は、前記スイッチによる前記アイドル電流の導通、遮断により該回路の動作、停止が制御されることを特徴とする請求項 5 記載の薄膜半導体装置。

**【請求項 7】**

前記アナログ回路部は、入力端子、出力端子及び電源端子の各端子間の前記アイドル電流の電流パス経路に前記閾値電圧の低い T F T を含む場合には、該電流パス経路上に前記スイッチを含むことを特徴とする請求項 4 乃至 6 のいずれかーに記載の薄膜半導体装置。

**【請求項 8】**

前記閾値電圧の高い T F T 及び前記閾値電圧の低い T F T は、共にエンハンスメント型であることを特徴とする請求項 4 乃至 7 のいずれかーに記載の薄膜半導体装置。

**【請求項 9】**

前記アナログ回路部は、増幅回路、電源回路、又は、比較器のいずれかーを含むことを特徴とする請求項 4 乃至 8 のいずれかーに記載の薄膜半導体装置。

**【請求項 10】**

前記アナログ回路部は、少なくとも差動対に前記閾値電圧の低い T F T を含み、該差動対の電流パス経路上に前記スイッチを含む差動増幅回路であることを特徴とする請求項 4 乃至 9 のいずれかーに記載の薄膜半導体装置。

**【請求項 11】**

絶縁性基板上に、表示部と該表示部を駆動するための回路部とが一体で形成され、前記回路部に、請求項 4 乃至 10 のいずれかーに記載のアナログ回路部とスイッチとを含むことを特徴とする表示装置。

**【請求項 12】**

絶縁基板上の多結晶シリコン膜上に形成された T F T を使用して構成されるアナログ回路部、ロジック回路部、スイッチからなる回路部と表示部とを備え、前記アナログ回路部

は前記ロジック回路部に使用される T F T の閾値電圧よりも低い閾値電圧を有する T F T を含んで構成されていることを特徴とする画像表示装置。

【請求項 13】

前記アナログ回路部は前記スイッチを介して電源が供給され、前記スイッチは前記ロジック回路部に使用される T F T と同じ閾値電圧の T F T で構成されていることを特徴とする請求項 12 記載の画像表示装置。

【請求項 14】

前記表示部の画素スイッチは前記ロジック回路部に使用される T F T と同じ閾値電圧の T F T で構成されていることを特徴とする請求項 12 又は 13 に記載の画像表示装置。

【請求項 15】

絶縁性基板上に、少なくとも、多結晶シリコン膜を用いて n チャネル型 T F T 及び p チャネル型 T F T を形成する薄膜半導体装置の製造方法において、

前記 n チャネル型 T F T の少なくとも一部及び前記 p チャネル型 T F T の少なくとも一部のチャンネル領域に、同時に P 型又は N 型のドーパントを導入する工程を含むことを特徴とする薄膜半導体装置の製造方法。

【請求項 16】

絶縁性基板上に、少なくとも多結晶シリコン膜を用いて n チャネル型 T F T 及び p チャネル型 T F T を形成する薄膜半導体装置の製造方法において、

全面に P 型又は N 型のドーパントを導入する工程と、

前記 n チャネル型 T F T の少なくとも一部及び前記 p チャネル型 T F T の少なくとも一部のチャンネル領域に、同時に前記 N 型又は前記 P 型のドーパントを導入する工程とを含むことを特徴とする薄膜半導体装置の製造方法。

【請求項 17】

絶縁性基板上に、少なくとも、結晶性シリコン膜を活性層とする n チャネル型の薄膜トランジスタ (T F T) 及び p チャネル型の T F T を備える薄膜半導体装置において、

n チャネル型及び p チャネル型のうち少なくとも一方のチャンネル型の T F T が、閾値電圧の異なる複数種の T F T を含み、異なるチャンネル型の中に同一のドーパントがチャンネル領域に略等しい濃度で導入された T F T を含む、ことを特徴とする薄膜半導体装置。

【請求項 18】

絶縁性基板上に、結晶性シリコン膜を活性層とする n チャネル型又は p チャネル型の少なくとも一方のチャンネル型の薄膜トランジスタ (T F T) を備える薄膜半導体装置において、

前記 T F T のチャンネル領域にドーパントを含むものと含まないものの 2 種類の T F T を含むことを特徴とする薄膜半導体装置。

【請求項 19】

n チャネル型 T F T と p チャネル型 T F T のうち少なくとも一方のチャンネル型の T F T は、閾値の高低に関して、2 つ又は 3 つ以上の種類に分類される、ことを特徴とする請求項 17 又は 18 記載の薄膜半導体装置。

【請求項 20】

絶縁性基板上に、結晶性シリコン膜を活性層とする n チャネル型及び p チャネル型の薄膜トランジスタを有し、n チャネル型及び p チャネル型のうち少なくとも一方のチャンネル型の複数の薄膜トランジスタは、閾値電圧が互いに異なる複数種に分けられる、薄膜半導体装置において、

電源端子間、又は、電源端子と入力／出力端子間の電流経路内に、直列形態に接続されている、少なくとも 1 つの相対的に閾値電圧の低い T F T と、少なくとも 1 つの相対的に閾値電圧の高い T F T と、を有し、

前記閾値電圧の高い前記 T F T は、前記 T F T の制御端子に加える制御信号により、オン・オフ制御され、前記相対的に閾値電圧の低い T F T を含む回路の活性化・非活性化を制御する、ことを特徴とする薄膜半導体装置。

【請求項 21】

入力対に与えられた信号電圧を差動で受ける差動対と、  
前記差動対の出力対と第 1 の電源間に接続される負荷素子対と、  
前記差動対と第 2 の電源間に接続され、前記差動対に定電流を供給する電流源と、  
を有する差動段を備え、  
前記差動対、及び／又は、前記負荷素子対は、相対的に低閾値のトランジスタよりなり

、  
前記差動段の電流パスに挿入され、前記電流パスの導通・遮断を制御するスイッチ機能として、前記低閾値のトランジスタよりも高い閾値を有し、制御端子に入力される制御信号によってオン・オフ制御される少なくとも 1 つのトランジスタを備えている、ことを特徴とする差動増幅回路。

【請求項 22】

前記スイッチ機能として、前記差動対と前記第 2 の電源間に、前記電流源と直列形態に接続され、前記低閾値のトランジスタよりも高い閾値を有し、制御端子に入力される制御信号によってオン・オフ制御されるトランジスタを備えるか、又は、

前記電流源を、前記低閾値のトランジスタよりも高い閾値を有し、制御端子に入力される制御信号によってオン・オフ制御されるトランジスタで構成してなる、ことを特徴とする請求項 21 記載の差動増幅回路。

【請求項 23】

前記スイッチ機能として、前記低閾値のトランジスタよりも高い閾値を有し、制御端子に入力される制御信号によってオン・オフされ、前記負荷素子対の活性化・非活性化を制御するトランジスタを含む、ことを特徴とする請求項 21 記載の差動増幅回路。

【請求項 24】

入力対に与えられた信号電圧を差動で受ける差動対と、  
前記差動対の出力対と第 1 の電源間に接続される負荷素子対と、  
前記差動対と第 2 の電源間に接続され、前記差動対に定電流を供給する電流源と、  
を有する差動段と、  
前記差動対の出力を受けて出力端子から出力信号を出力する出力増幅段と、  
を備え、

前記差動対、及び／又は、前記負荷素子対が、相対的に低閾値のトランジスタ対よりなり、

前記差動段の活性化・非活性化を制御する第 1 のスイッチ機能として、前記低閾値のトランジスタよりも高い閾値を有し、前記差動対と前記第 2 の電源間に前記電流源と直列形態に接続され、制御端子に入力される制御信号によってオン・オフ制御されるトランジスタを備えるか、又は、前記電流源を、前記低閾値のトランジスタよりも高い閾値を有し、制御端子に入力される制御信号によってオン・オフ制御されるトランジスタで構成し、

前記出力増幅段が、前記出力端子と前記第 1 の電源間に接続され、前記差動対の出力を制御端子に受ける出力段トランジスタを有し、

前記出力増幅段の活性化・非活性化を制御する第 2 のスイッチ機能として、前記出力段トランジスタの制御端子と前記第 1 又は第 2 の電源間に、前記制御信号にしたがって、第 1 のスイッチ機能のトランジスタとは逆相でオン・オフされ、前記低閾値のトランジスタよりも高い閾値のトランジスタを備えている、ことを特徴とする差動増幅回路。

【請求項 25】

入力対に与えられた信号電圧を差動で受ける差動対と、

前記差動対の出力対と第 1 の電源間に接続され、前記差動対を構成するトランジスタ対と逆導電型のトランジスタ対よりなる負荷素子対と、

前記差動対と第 2 の電源間に接続され、前記差動対に定電流を供給する電流源と、  
を有する差動段と、

前記差動対の出力を受けて出力端子から出力信号を出力する出力増幅段と、  
を備え、

前記差動対、及び／又は、前記負荷素子対が、相対的に低閾値のトランジスタ対よりな

り、

前記差動段の活性化・非活性化を制御する第1のスイッチ機能として、前記低閾値のトランジスタよりも高い閾値を有し、前記差動対と前記第2の電源間に前記電流源と直列形態に接続され、制御端子に入力される制御信号によってオン・オフ制御されるトランジスタを備えるか、又は、前記電流源を、前記低閾値のトランジスタよりも高い閾値を有し、制御端子に入力される制御信号によってオン・オフ制御されるトランジスタで構成し、

前記出力増幅段は、前記第1の電源と前記出力端子間に接続され、制御端子に前記差動対の出力を受ける、相対的に低閾値の出力段トランジスタと、

前記第1の電源と前記出力端子間に、前記出力段トランジスタと直列形態に接続され、前記制御信号にしたがって前記第1のスイッチ機能のトランジスタと同相でオン・オフされ、前記低閾値のトランジスタよりも高い閾値のトランジスタを備えている、ことを特徴とする差動増幅回路。

【請求項26】

前記出力増幅段が、前記出力端子と前記第2の電源間に、前記制御信号にしたがってオン・オフされ、前記低閾値のトランジスタよりも高い閾値のトランジスタを備えている、ことを特徴とする請求項24又は25記載の差動増幅回路。

【請求項27】

前記出力段トランジスタが、前記差動対と逆導電型のトランジスタよりなる、ことを特徴とする請求項24又は25記載の差動増幅回路。

【請求項28】

前記出力増幅段が、前記出力端子と前記第2の電源間に直列形態に接続された、電流源と、前記制御信号にしたがってオン・オフされ、前記低閾値のトランジスタよりも高い閾値のトランジスタと、を備えている、ことを特徴とする請求項24又は25記載の差動増幅回路。

【請求項29】

第1、第2の入力端子からの入力信号電圧を差動で受ける第1の差動対と、前記第1の差動対の出力対と第1の電源間に接続され、前記第1の差動対と逆導電型の第1の負荷素子対と、前記第1の差動対と第2の電源間に接続され前記第1の差動対に定電流を与える第1の電流源と、を有する第1の差動段と、

前記第1、第2の入力端子からの入力信号電圧を差動で受け、前記第1の差動対と逆導電型の第2の差動対と、前記第2の差動対の出力対と前記第2の電源間に接続され、前記第2の差動対と逆導電型の第2の負荷素子対と、前記第2の差動対と前記第1の電源間に接続され前記第2の差動対に定電流を与える第2の電流源と、を有する第2の差動段と、

前記第1の差動対の出力を受け出力端子より出力信号を出力する第1の出力増幅段と、

前記第2の差動対の出力を受け前記出力端子より出力信号を出力する第2の出力増幅段と、

を有し、

前記第1の差動対、及び／又は、前記第1の負荷素子対が、相対的に低閾値のトランジスタよりなり、

前記第2の差動対、及び／又は、前記第2の負荷素子対が、相対的に低閾値のトランジスタよりなり、

前記第1の差動段の活性化・非活性化を制御する第1のスイッチ機能として、前記低閾値のトランジスタよりも高い閾値を有し、前記第1の差動対と前記第2の電源間に前記第1の電流源と直列形態に接続され、制御端子に入力される第1の制御信号によってオン・オフ制御されるトランジスタを備えるか、又は、前記第1の電流源を、前記低閾値のトランジスタよりも高い閾値を有し、制御端子に入力される第1の制御信号によってオン・オフ制御されるトランジスタで構成し、

前記第2の差動段の活性化・非活性化を制御する第2のスイッチ機能として、前記低閾値のトランジスタよりも高い閾値を有し、前記第2の差動対と前記第1の電源間に前記第2の電流源と直列形態に接続され、前記制御端子に入力される第2の制御信号によってオ

ン・オフ制御されるトランジスタを備えるか、又は、前記第2の電流源を、前記低閾値のトランジスタよりも高い閾値を有し、制御端子に入力される第2の制御信号によってオン・オフ制御される1つのトランジスタで構成したことを特徴とする差動増幅回路。

【請求項30】

前記第1の出力増幅段が、前記第1の電源と前記出力端子間に接続され、前記第1の差動対の出力を制御端子に受け、相対的に低閾値の第1の出力段トランジスタを有し、

前記第2の出力増幅段が、前記第2の電源と前記出力端子間に接続され、前記第2の差動対の出力を制御端子に受け、相対的に低閾値の第2の出力段トランジスタを有し、

前記第1の出力増幅段の活性化・非活性化を制御する第3のスイッチ機能として、前記出力端子と前記第1の電源間に、前記第1の出力段トランジスタと直列形態に接続され、前記第1の制御信号にしたがって、前記第1のスイッチ機能と同相でオン・オフされ、前記低閾値のトランジスタよりも高い閾値のトランジスタを備え、

前記第2の出力増幅段の活性化・非活性化を制御する第4のスイッチ機能として、前記出力端子と前記第2の電源間に、前記第2の出力段トランジスタと直列形態に接続され、前記第2の制御信号にしたがって前記第2のスイッチ機能と同相でオン・オフされ、前記低閾値のトランジスタよりも高い閾値のトランジスタを備えている、ことを特徴とする請求項29記載の差動増幅回路。

【請求項31】

前記第1の出力増幅段が、前記出力端子と前記第2の電源間に、前記第1の制御信号にしたがって前記第1のスイッチ機能と同相でオン・オフされ、前記低閾値のトランジスタよりも高い閾値のトランジスタを備え、

前記第2の出力増幅段が、前記出力端子と前記第1の電源間に、前記制御信号にしたがって前記第2のスイッチ機能と同相でオン・オフされ、前記低閾値のトランジスタよりも高い閾値のトランジスタを備えている、ことを特徴とする請求項29又は30記載の差動増幅回路。

【請求項32】

前記第1の出力段トランジスタが、前記第1の差動対と逆導電型のトランジスタよりなり、

前記第2の出力段トランジスタが、前記第2の差動対と逆導電型のトランジスタよりなる、ことを特徴とする請求項29乃至31のいずれかに記載の差動増幅回路。

【請求項33】

前記出力端子から出力信号が出力される前に、前記出力端子を充電又は放電する回路をさらに備えている、ことを特徴とする請求項29又は30記載の差動増幅回路。

【請求項34】

前記第1の出力増幅段が、前記出力端子と前記第2の電源間に直列形態に接続された、第1の電流源と、前記第1の制御信号にしたがって前記第1のスイッチ機能と同相でオン・オフされ、前記低閾値のトランジスタよりも高い閾値のトランジスタと、を備え、

前記第2の出力増幅段が、前記出力端子と前記第1の電源間に直列形態に接続された、第2の電流源と、前記制御信号にしたがって前記第2のスイッチ機能と同相でオン・オフされ、前記低閾値のトランジスタよりも高い閾値のトランジスタと、を備えている、ことを特徴とする請求項29又は30記載の差動増幅回路。

【請求項35】

入力対に与えられた入力信号を差動で受ける差動対と、

前記差動対の出力対と電源間に接続されている負荷素子対と、

前記差動対に流す電流を与える電流源と、

を有し、

前記差動対、及び／又は、前記負荷素子対が、相対的に低閾値のトランジスタ対よりなり、

前記電流源が、制御端子に入力される制御信号によってオン・オフが制御され、前記低閾値のトランジスタよりも高い閾値のトランジスタよりなる、ことを特徴とする差動増幅

回路。

【請求項 36】

入力対に与えられた入力信号を差動で受ける差動対と、  
前記差動対の出力対と電源間に接続されている負荷素子対と、  
前記差動対に流す電流を与える電流源と、  
を有し、  
前記差動対、及び／又は、前記負荷素子対が、相対的に低閾値のトランジスタ対よりなり、  
前記電源と前記負荷素子対間に接続され、制御端子に入力される制御信号によってオン・オフが制御され、前記低閾値のトランジスタよりも高い閾値の少なくとも1つのトランジスタを有し、前記負荷素子対の活性化・非活性化を制御するスイッチ回路を備えている、ことを特徴とする差動増幅回路。

【請求項 37】

前記負荷素子対は、制御端子同士が共通接続されたトランジスタ対よりなり、一方のトランジスタの出力端が、共通接続された前記制御端子に接続されてカレントミラー回路をなし、

前記スイッチ回路が、前記電源と、前記カレントミラー回路の共通接続された前記制御端子に接続され、低閾値のトランジスタよりも高い閾値のトランジスタよりなる第1のスイッチと、

前記カレントミラー回路の出力側トランジスタの出力端と、前記共通接続された前記制御端子との間に接続され、低閾値のトランジスタよりも高い閾値のトランジスタよりなる第2のスイッチと、を備え、前記第1及び第2のスイッチは、前記第1及び第2のスイッチを構成するトランジスタの制御端子に入力される制御信号により共通にオン・オフ制御される、ことを特徴とする請求項36記載の差動増幅回路。

【請求項 38】

入力信号を制御端子に入力し出力端子からの信号電圧が前記制御端子電圧に追従するフォロワ構成のトランジスタを有し、

前記フォロワ構成のトランジスタが、相対的に低閾値のトランジスタよりなり、

前記出力端子と電源間に、前記フォロワ構成のトランジスタと直列形態に接続され、制御信号にしたがってオン・オフされ、前記低閾値のトランジスタよりも閾値の高いトランジスタを備えている、ことを特徴とする増幅回路。

【請求項 39】

前記出力端子と第2の電源間に、前記制御信号にしたがってオン・オフ制御され、前記低閾値のトランジスタよりも高い閾値のトランジスタを備えている、ことを特徴とする請求項38記載の増幅回路。

【請求項 40】

前記トランジスタの閾値が負値の場合、閾値の高低は、閾値の絶対値の大小に対応する、ことを特徴とする請求項21乃至37のいずれかに記載の差動増幅回路。

【請求項 41】

前記トランジスタの閾値が負値の場合、閾値の高低は、閾値の絶対値の大小に対応する、ことを特徴とする請求項38又は39に記載の増幅回路。

【請求項 42】

前記トランジスタが、絶縁性基板上に、結晶性シリコン膜を活性層とする薄膜トランジスタよりなる、ことを特徴とする請求項21乃至37のいずれかに記載の差動増幅回路。

【請求項 43】

前記トランジスタが、絶縁性基板上に、結晶性シリコン膜を活性層とする薄膜トランジスタよりなる、ことを特徴とする請求項38又は39に記載の増幅回路。

【請求項 44】

請求項21乃至37のいずれかに記載の差動増幅回路を備えたセンスアンプを有するメ



モリ装置。

【請求項 4 5】

データ信号を入力して表示パネルのデータ線を駆動するデータドライバを有する表示装置において、請求項 2 1 乃至 3 7 のいずれか一記載の差動増幅回路を備えた表示装置。

【請求項 4 6】

請求項 2 1 乃至 3 7 のいずれか一記載の差動増幅回路を備え、前記トランジスタが、絶縁性基板上に設けられ、結晶性シリコン膜を活性層とする薄膜トランジスタよりなる、半導体装置。

【請求項 4 7】

請求項 3 8 又は 3 9 記載の増幅回路を備え、前記トランジスタが、絶縁性基板上に設けられ、結晶性シリコン膜を活性層とする薄膜トランジスタよりなる、半導体装置。

【請求項 4 8】

同一導電型のトランジスタが、閾値電圧の異なる複数種のトランジスタを含み、異なる導電型のトランジスタが、同一のドーパントがチャネル領域に略等しい濃度で導入されたトランジスタを含む、ことを特徴とする請求項 4 6 又は 4 7 記載の半導体装置。

【請求項 4 9】

前記閾値の異なるトランジスタとして、チャネル領域に、P 型又は N 型の一方向のドーパントを含むトランジスタと、チャネル領域にドーパントを含まないトランジスタとを含む、ことを特徴とする請求項 4 6 又は 4 7 記載の半導体装置。

【請求項 5 0】

前記閾値の異なるトランジスタとして、チャネル領域に P 型又は N 型の一方向のドーパントを含むトランジスタと、チャネル領域に P 型及び N 型の双方のドーパントを含むトランジスタを含む、ことを特徴とする請求項 4 6 又は 4 7 記載の半導体装置。

## 【書類名】 明細書

## 【発明の名称】 薄膜半導体装置及びその製造方法

## 【技術分野】

## 【0001】

本発明は、薄膜半導体装置及びその製造方法に関し、特に、閾値電圧 ( $V_T$ ) の異なる薄膜トランジスタ (TF T: Thin film transistor) を用いて少なくともアナログ回路部とスイッチとを含んで構成される薄膜半導体装置及びその製造方法に関する。

## 【背景技術】

## 【0002】

携帯電話やモバイル機器等の携帯端末機器やノートパソコン等のモニタとして、CRT に比べて薄型、軽量を特徴とする液晶表示装置や有機EL表示装置などの画像表示装置が用いられている。これらの液晶表示装置や有機EL表示装置は、薄膜形成技術を用いてガラス基板等の絶縁性基板上にマトリクス状に配列された画素を有する表示部を形成し、外付けされたゲートドライバやデータドライバ等の駆動回路より表示に対応した信号を各画素に与えることにより、液晶の配向方向や有機EL素子の発光を制御して画像を表示していた。近年、薄膜形成技術の向上に伴い、表示部と同じ基板上に多結晶シリコンを用いてTF Tを形成することができるようになり、駆動回路の一部を多結晶シリコンを用いたTF T回路で形成することができるようになってきた。

## 【0003】

携帯端末機器では、小型化、低消費電力化、高性能化を図ることが重要であり、それに伴って画像表示装置にも小型化、低消費電力化が求められている。画像表示装置の小型化を実現する方法として、表示部と駆動回路をガラス基板等に一体的に形成することで外付け部品点数が削減され、小型化を実現することができる。また、表示部と駆動回路が一体で形成されることで、外付け時の接続抵抗や外付け接続端子への配線の引き回し等による負荷容量が減り、低消費電力化も実現できる。また近年、画像表示装置は高精細で鮮明な表示が要求されており、各画素が独立に形成されたアクティブマトリクス型表示装置の需要も高まっている。アクティブマトリクス型表示装置は、各画素毎にスイッチング素子が設けられ、駆動回路から供給される画像に対応した信号とスイッチング素子を制御する信号によって、スイッチング素子がオン状態となるとときに各画素に画像に対応した信号が与えられて表示が行われる。なお、アクティブマトリクス型表示部と駆動回路をガラス基板等に一体的に形成する場合には、各画素のスイッチング素子 (TF T) は、同一基板上に形成される駆動回路のTF Tとが同時に作り込まれることになる。

## 【0004】

上記TF Tはnチャネル型、pチャネル型の2種類のTF Tを用いて構成されるが、一般に活性層となる多結晶シリコン膜はn型化する傾向にあるため、nチャネル型TF Tはややディプレッションとなり、相対的に駆動電力が増大し、オフ電流が増加してしまう。画像表示装置、特に、携帯端末機器に用いられる画像表示装置では、消費電力を低減するために少なくともスイッチTF Tにおいてはオフ電流は低いことが要求されるため、TF Tの製造に際してnチャネル型TF Tのチャネル領域にドーピングを行い、 $V_T$ の制御が行われている。

## 【0005】

このチャネルドーピングは、通常、複数のTF Tのチャネル領域に対して一括して行われるため、複数のTF Tに注入されるドーパントのドーズ量は略等しくなるが、一回のドーピングで各々のTF Tのドーズ量を変化させることもできる。例えば、特開平8-264798号公報には、ドーパントの注入量を制御するための制御膜 (酸化珪素膜) の厚さを領域毎に変え、その上からドーピングを施すことにより、制御膜の薄い部分でドーズ量を多く、制御膜の厚い部分でドーズ量を少なくする方法が開示されている。

## 【0006】

【特許文献1】 特開平8-264798号公報 (第4-7頁、第5図)

【非特許文献1】 原 央 編著、「MOS集積回路の基礎」、超LSI入門シリーズ

5、第64頁、近代科学社出版、1992年5月30日発行

【発明の開示】

【発明が解決しようとする課題】

【0007】

ここで、TFTを用いて形成される回路は様々であり、ロジック回路等のローレベルとハイレベルの2値レベルを用いたデジタル処理を行う回路もあれば、増幅回路等の連続量を扱うことのできるアナログ処理を行う回路もある。尚スイッチは、2つの端子間の導通、非導通を切り替える素子であり、2端子間の電流を遮断したり、容量との組み合わせで電荷を閉じ込めたり等が可能であり、使用目的に応じてロジック回路やアナログ回路に組み込まれて用いられる。

【0008】

しかしながら、このような回路の種別に対してTFTに求められる性能は異なる。例えば、ロジック回路やスイッチに用いられるTFTでは、オン状態で十分な電流駆動能力があり、オフ状態では電流が流れないことが必要である。特に消費電力の低減が強く求められる場合にはオフリーク電流が十分小さいことが重要である。この場合、閾値電圧が高めに設定される。一方、アナログ回路で用いられるTFTの場合は、アイドリング電流が流れている回路部のTFTは常にオン状態であり、アナログ回路の動作はTFTの制御電圧によってドレイン電流を小さい値から大きい値まで精度よく制御できることが重要である。

【0009】

オフリーク電流が大きいと、回路停止状態でもリーク電流によって電力を消費してしまうため、特にバッテリーの寿命が重要な性能のひとつであるモバイル機器の駆動回路にとっては重大な問題であり、また、昨今の省エネルギー化の要請からも、モバイル機器以外においても、動作時の消費電力の低減や停止時の待機電力の低減のニーズが高まっている。このような要請から、従来は回路に用いるTFTは全てオフリーク電流が十分小さく（例えば1pA以下）なるように閾値電圧VTが高めに制御されていた。

【0010】

しかしながら、従来のチャネルドープは、全てのnチャネル型（又はpチャネル型）TFTのチャネル領域に一括してドーピングを行うものであるため、例えば、nチャネル型TFTにチャネルドープを行う場合は、全てのnチャネル型TFTのVTが同じように制御される。従って、オフリーク電流を小さく抑えるためにTFTの閾値電圧を高く設定した場合には、電源電圧範囲におけるTFTオン領域が狭くなり、TFT電流駆動能力の上限が下がるため回路の動作速度の低下やアナログ回路のダイナミックレンジ（電源電圧範囲に対する出力電圧範囲）が狭くなるなどの別の問題も生じてしまう。

【0011】

また、nチャネル型又はpチャネル型の一方にドーピングを行う方法では、一方のチャネル型のTFTのみゲートソース電圧に対するドレイン電流の変化量が変わってしまうために、nチャネル型TFTのVTとpチャネル型TFTのVTの対称性が崩れてしまい、例えばCMOS回路を形成する場合には、その動作速度が特性の劣っているTFTにより決まってしまう、良好な回路特性が得られなくなってしまうという問題が生じる。

【0012】

上記VTの対称性の崩れを抑制するために、nチャネル型又はpチャネル型の双方に別々にチャネルドープを行う方法もあるが、この方法でも同一のチャネル型TFTに関しては同一のVTを有するために、VTを高くするとアナログ回路の動作速度やダイナミックレンジが劣化し、一方VTを低くするとロジックやスイッチ回路のオフ電流が大きくなるという問題を解決することはできず、また、ドーピングの精度等の製造上の誤差により厳密にはVTの対称性を維持することができず、VTのバランスのよい薄膜半導体装置を製造することができない。更にチャネルドープを複数回に分けて行うために工程が複雑化してしまうという問題もある。また、このチャネルドープを、特開平8-264798号公報記載の方法を用いて行ったとしても、nチャネル型TFTとpチャネル型TFTの各々

について少なくとも 1 回づつチャネルドープを行わなければならならず、工程が複雑になるという問題を解決することはできない。

#### 【0013】

このような問題は液晶表示装置や有機 EL 表示装置等の画像表示装置に用いられる回路に限らず、多結晶シリコン膜を活性層とする n チャネル型 TFT 及び p チャネル型 TFT を備える回路全般について当てはまる問題である。

#### 【0014】

本発明は、上記問題点に鑑みてなされたものであって、その主たる目的は、工程を複雑にすることなく、各々の回路に適した VT を有する n チャネル型 TFT 及び p チャネル型 TFT を形成し、消費電力を増加させることなくアナログ回路の性能を向上させることのできる薄膜半導体装置及びその製造方法を提供することにある。また、本発明は、消費電流の増大を抑止しながらダイナミックレンジ等の特性を向上させる回路を提供することも目的の 1 つである。

#### 【課題を解決するための手段】

#### 【0015】

上記目的を達成するため、本発明の一つのアスペクトに係る薄膜半導体装置は、絶縁基板上に、少なくとも、多結晶シリコン膜を活性層とする n チャネル型の薄膜トランジスタ (TFT) 及び p チャネル型の TFT を備える薄膜半導体装置において、同一チャネル型の中に、閾値電圧の異なる複数種の TFT を含み、異なるチャネル型の中に、同一のドーパントがチャネル領域に略等しい濃度で導入された TFT を含むものである。

#### 【0016】

本発明においては、前記閾値電圧の異なる複数種の TFT は、チャネル領域に P 型又は N 型の一方向のドーパントを含む TFT と、チャネル領域にドーパントを含まない TFT と、又は、チャネル領域に P 型又は N 型の一方向のドーパントを含む TFT と、チャネル領域に P 型及び N 型の双方のドーパントを含む TFT とにより構成されるものとすることができる。

#### 【0017】

また、本発明においては、薄膜半導体装置を構成する回路は、回路動作時にアイドル電流を必要とするアナログ回路と、スイッチと、を少なくとも備え、前記アナログ回路は、前記閾値電圧の異なる複数種の TFT のうちの閾値電圧の低い TFT を前記アイドル電流の電流パス上に含んで構成され、前記スイッチは、前記閾値電圧の異なる複数種の TFT のうちの閾値電圧の高い TFT で構成されることが好ましい。

#### 【0018】

また、本発明においては、前記アナログ回路は、前記アイドル電流の電流パス上に前記スイッチを含み、該スイッチにより前記アイドル電流が遮断される構成とすることもでき、前記アナログ回路は、前記スイッチによる前記アイドル電流の導通、遮断により該回路の動作、停止が制御されることが好ましい。

#### 【0019】

また、本発明においては、前記アナログ回路部は、入力端子、出力端子及び電源端子の各端子間の前記アイドル電流の電流パス経路に前記閾値電圧の低い TFT を含む場合には、該電流パス経路上に前記スイッチを含む構成とすることが好ましい。

#### 【0020】

また、本発明においては、前記アナログ回路は、少なくとも差動対に前記閾値電圧の低い TFT を含み、該差動対の電流パス経路上に前記スイッチを含む差動増幅回路とすることもできる。

#### 【0021】

また、本発明の表示装置は、絶縁性基板上に、表示部と該表示部を駆動するための回路部とが一体で形成され、前記回路部に、上記アナログ回路とスイッチとを含むものである。

#### 【0022】

また、本発明の画像表示装置は、絶縁基板上の多結晶シリコン膜上に形成されたTFTを使用して構成されるアナログ回路部、ロジック回路部、スイッチからなる回路部と表示部とを備え、前記アナログ回路部は前記ロジック回路部に使用されるTFTの閾値電圧よりも低い閾値電圧を有するTFTを含んで構成されているものである。

#### 【0023】

本発明においては、前記アナログ回路部は前記スイッチを介して電源が供給され、前記スイッチは前記ロジック回路部に使用されるTFTと同じ閾値電圧のTFTからなる構成、又は、前記表示部の画素スイッチは前記ロジック回路部に使用されるTFTと同じ閾値電圧のTFTからなる構成とすることもできる。

#### 【0024】

本発明の方法は、絶縁性基板上に、少なくとも、多結晶シリコン膜を用いてnチャネル型TFT及びpチャネル型TFTを形成する薄膜半導体装置の製造方法において、前記nチャネル型TFTの少なくとも一部及び前記pチャネル型TFTの少なくとも一部のチャネル領域に、同時にP型又はN型のドーパントを導入する工程を含むものである。

#### 【0025】

また、本発明の方法は、絶縁性基板上に、少なくとも多結晶シリコン膜を用いてnチャネル型TFT及びpチャネル型TFTを形成する薄膜半導体装置の製造方法において、全面にP型又はN型のドーパントを導入する工程と、前記nチャネル型TFTの少なくとも一部及び前記pチャネル型TFTの少なくとも一部のチャネル領域に、同時に前記N型又は前記P型のドーパントを導入する工程とを含むものである。

#### 【0026】

このように、本発明は上記構成により、製造工程を複雑にすることなく、ガラス等の絶縁基板上に形成した多結晶シリコン膜に、ロジック回路やスイッチに関してはオフ電流が小さくなるようにVTが高く制御されたTFTを、アナログ回路に関しては動作速度を速くダイナミックレンジが大きくなるようにVTが低く制御されたTFTを形成することができ、また、チャネルドーピングを行うTFTに関してはnチャネル型及びpチャネル型共に同一のドーパントが略等しい濃度で導入されるために、VTの対称性を維持することができる。

本発明によれば、絶縁性基板上に、少なくとも、結晶性シリコン膜を活性層とするnチャネル型の薄膜トランジスタ（TFT）及びpチャネル型のTFTを備える薄膜半導体装置において、nチャネル型及びpチャネル型のうち少なくとも一方のチャネル型のTFTが、閾値電圧の異なる複数種のTFTを含み、異なるチャネル型の中に同一のドーパントがチャネル領域に略等しい濃度で導入されたTFTを含む構成としてもよい。

本発明においては、前記TFTのチャネル領域にドーパントを含むものと含まないものとの2種類のTFTを含む構成としてもよい。

本発明においては、絶縁性基板上に、結晶性シリコン膜を活性層とするnチャネル型及びpチャネル型の薄膜トランジスタを有し、nチャネル型及びpチャネル型のうち少なくとも一方のチャネル型の複数の薄膜トランジスタは、閾値電圧が互いに異なる複数種に分けられる、薄膜半導体装置において、電源電流の経路の一部を構成し、直列形態に接続されている、少なくとも1つの相対的に閾値電圧の低いTFTと、少なくとも1つの相対的に閾値電圧の高いTFTを有し、前記閾値電圧の高いTFTは、該TFTの制御端子に加える制御信号により、オン・オフ制御される構成としてもよい。

#### 【発明の効果】

#### 【0027】

本発明の薄膜半導体装置及びその製造方法によれば下記記載の効果を奏する。

#### 【0028】

本発明の第1の効果は、工程数を増加させることなく、nチャネル型、pチャネル型の各々について、異なるVTを有するTFTを形成することができる、ということである。

#### 【0029】

その理由は、本発明によれば、チャネルドーピングを行う際に、nチャネル型TFT又はp

チャンネル型 T F T のいずれか一方の領域にドーピングを行うのではなく、n チャンネル型 T F T の全部又は一部と p チャンネル型 T F T の全部又は一部に一括してドーピングを行うため、n と p を同時にドーピングできると共に、同一チャンネル型においてもドーピング有／無で V T を変化させることができるからである。

【0030】

また、本発明の第2の効果は、n チャンネル型 T F T と p チャンネル型 T F T の V T の対称性の崩れを防止することができ、回路設計の最適化が可能となるということである。

【0031】

その理由は、本発明においては、n チャンネル型 T F T のドーピングと p チャンネル型 T F T のドーピングとを別々に行うのではなく、同一の工程で同一のドーパントを等しい濃度で導入するため、V T の対称性を維持することができるからである。

【0032】

また、本発明の第3の効果は、良好なオフ特性のロジックやスイッチと、良好な動作速度及びダイナミックレンジのアナログ回路とを備える回路を容易に形成することができるということである。

【0033】

その理由は、本発明においては、ロジックやスイッチなどオフ特性を必要とする T F T とオフ特性を必要としないアナログ回路用の T F T を適宜選択してチャンネルドープする領域を設定し、回路に求められる特性に応じて N 型又は P 型のドーパントを導入し V T を制御しているからである。

【発明を実施するための最良の形態】

【0034】

本発明に係る薄膜半導体装置及びその製造方法を実施するための最良の一形態について、図面を参照して以下に説明する。以下の形態の説明において、アナログ回路は、連続量を扱う回路であって、動作安定時に動作点においてアイドル電流を必要とする回路を意味する。ロジック回路は、ハイレベル又はローレベルの2値電圧を扱う回路を意味する。スイッチは2点間の導通、非導通を切り替える素子を意味するものとする。

【0035】

従来技術において説明したように、多結晶シリコン膜からなる n チャンネル型 T F T と p チャンネル型 T F T とが形成される薄膜半導体装置では、T F T のオフ電流を低減するために n チャンネル型 T F T (又は p チャンネル型 T F T) にチャンネルドープを行っていたが、この方法では、同一チャンネル型の T F T に関しては同一の V T を有することになる。そして、T F T のオフリーク電流を十分小さく抑えて低消費電力化を実現するために V T を高めに設定すると、アナログ回路の動作速度やダイナミックレンジが劣化するという問題や V T の対称性の崩れにより良好な回路特性が得られないという問題が生じていた。

【0036】

一方、シリコン基板上に形成した回路(シリコン回路と記す。)の場合には、例えばメモリ回路のセンスアンプは高速応答やリーク電流抑制のため2種類の V T を用いる例があり、各々の回路に応じてウェル電位を調整して V T を制御する方法等が用いられている。しかしながら、シリコン回路ではバックゲートが存在するため、ウェル電位制御などの方法を利用することができるが、絶縁基板上に設けられた T F T ではこのような方法を用いることができず、シリコン回路の技術を応用することはできない。

【0037】

絶縁基板上に形成した薄膜半導体装置において、ロジック回路およびスイッチとアナログ回路とで別々に V T を制御するために、同一のチャンネル型 T F T についても個別にチャンネルドープを行えば V T を個別に制御することはできるが、この方法では n チャンネル型 T F T と p チャンネル型 T F T の各々について少なくとも1回ずつチャンネルドープを行わなければならない、薄膜半導体装置の製造工程が複雑になってしまい、特に、携帯端末機器等の低価格化が求められている装置では工程の増加による価格上昇は重大な問題となる。

【0038】

また、特開平 8-264798 号公報に記載された方法により、同一チャンネル内で異なる VT を持たせることはできるが、上記公報は n チャンネル型 TFT と p チャンネル型 TFT の双方に同時にドーピングを行うことを目的とするものではなく、アクティブマトリクス表示装置のゲート線の配線抵抗による電圧降下を考慮して、ゲート線駆動回路から遠い TFT ほど VT を小さくするための方法を提供するものであるため、個別にチャンネルドーピングを行う方法と同様に、n チャンネル型 TFT と p チャンネル型 TFT の各々について少なくとも 1 回ずつチャンネルドーピングを行わなければならない。

#### 【0039】

また、これらの方法では、n チャンネル型 TFT と p チャンネル型 TFT とで別々にチャンネルドーピングを行うため、各々のチャンネル型の VT の対称性が崩れてしまい、CMOS 回路等を構成する場合に所望の回路特性が得られないという問題を解決することができない。

#### 【0040】

また、本願発明者は、各々の回路の VT を制御するにあたり、アナログ回路の動作においては TFT のオフ電流特性を特に必要としないことに着目した。すなわち、アナログスイッチのような電流を遮断しなければならないアナログ回路を除けば、アナログ回路は一般に動作時にアイドル電流が流れているため TFT はオン状態であり、オフ状態のリーク電流の大きさはアナログ回路の動作の性能や消費電力とは無関係である。一方、TFT の VT が低いほどアナログ回路の動作速度は向上し、ダイナミックレンジも広がる。従ってアナログ回路はその動作において、TFT のオフ電流が多少大きくても問題はなく、VT が低いほど高性能となる。

#### 【0041】

このアナログ回路の特質を考慮して、ドーピング工程を複雑にすることなく、n チャンネル型 TFT と p チャンネル型 TFT の各々について回路に適した VT に制御するために、同一のドーパントを n チャンネル型 TFT の一部と p チャンネル型 TFT の一部に同時に導入する方法を案出した。なお、n チャンネル型 TFT と p チャンネル型 TFT の各々に異なるドーパントを導入する方法は従来より行われているが、異なるチャンネル型の TFT に同一のドーパントを導入して VT を制御する方法は本願発明者が案出した新規な手法である。

#### 【0042】

以下、図 1 乃至図 6 を参照して、本発明を実施するための最良の形態の薄膜半導体装置の構造及びその製造方法について説明する。図 1 乃至図 6 では、絶縁性基板上に VT が各々異なる n チャンネル型 TFT と p チャンネル型 TFT (計 4 つの TFT) を形成する場合について示すが、本発明は図の構成に限定されるものではなく、n チャンネル型 TFT と p チャンネル型 TFT とが混在し、少なくとも一方のチャンネル型を複数備える構成に適用することができる。

#### 【0043】

図 1 に示すように、本発明を実施するための最良の一形態に係る薄膜半導体装置は、ガラス、プラスチック等の絶縁性基板 1 上にアンダーコート層 2 を介して形成された多結晶シリコン膜 3 に、B (硼素) が略等しい濃度で導入されたチャンネル領域を有する VT の低い p チャンネル型 TFT (以下、低 VT-p 型 TFT (1)) 及び VT の高い n チャンネル型 TFT (以下、高 VT-n 型 TFT (4)) と、ドーピングされていない VT の高い p チャンネル型 TFT (以下、高 VT-p 型 TFT (2)) 及び VT の低い n チャンネル型 TFT (以下、低 VT-n 型 TFT (3)) が形成されている。すなわち、異なるチャンネル型のみならず、同一チャンネル型においても VT の異なる TFT が形成されていることを特徴としている。上記において、高 VT 又は低 VT とは電位の絶対値としての大小関係を示すものである。このような構成の薄膜半導体装置の製造方法について、図 2 及び図 3 の工程断面図を参照して説明する。

#### 【0044】

まず、図 2 (a) に示すように、ガラス、プラスチック等の絶縁性基板 1 上に、アンダーコート層 2 となるシリコン酸化膜 (SiO<sub>x</sub>)、シリコン窒化膜 (SiN<sub>x</sub>) 等を LPCVD (減圧 CVD) 法、PCVD (プラズマ CVD) 法、スパッタ法等を用いて 30

0 nm程度の膜厚で形成する。このアンダーコート層 2 は、絶縁性基板 1 から活性層に不純物が拡散するのを防止するために設けるものであり、不純物の影響が問題とならない場合には必ずしも設ける必要はない。その後、活性層となるアモルファスシリコン（以下、a-Si と略す）膜 3 a を LPCVD 法、PCVD 法、スパッタ法等を用いて 20 nm ~ 100 nm 程度の膜厚で形成する。PCVD 法を用いた場合は成膜後に脱水素処理を行う。

#### 【0045】

次に、図 2 (b) に示すように、a-Si 膜 3 a 上に、フォトリソグラフィ工程を用いてドーピングを行う領域に開口を設けたレジストパターン 10 a を形成し、イオン注入法もしくはイオンドーピング法を用いてチャネルドープを行う。ここで、従来の薄膜半導体装置の製造方法では、同一チャネル型 TFT の全部（例えば、図 2 (a) の右側の 2 つの n チャネル型 TFT）にドーピングを行っていたが、本発明では、1 回のドーピングで、n チャネル型及び p チャネル型の双方の VT を制御するために n チャネル型 TFT の少なくとも一部（図では右側の n チャネル型 TFT）及び p チャネル型 TFT の少なくとも一部（図では左側の p チャネル型 TFT）のみに選択的に B（硼素）をドーピングする。このイオン注入法もしくはイオンドーピング法で導入する不純濃度は設定しようとする VT によって変わるが、通常  $2E+11 \sim 5E+12 / cm^2$  の範囲が好適である。

#### 【0046】

なお、ここでは、上記 4 種類の TFT を同時に形成する場合について記載するため、n チャネル型 TFT と p チャネル型 TFT の各々について B をドーピングする TFT とドーピングしない TFT とを設けているが、n チャネル型 TFT と p チャネル型 TFT の一方のみ VT の異なる TFT を形成する場合には、そのチャネル型のみ部分的に B をドーピングすればよい。また、本形態では、VT の異なる TFT を VT の高い TFT と VT の低い TFT の 2 種類の TFT に分類しているが、VT を 3 種以上に分類することもできる。その場合には、ドーパントの種類やドーズ量の異なるドーピング工程を追加すればよい。

#### 【0047】

その後、図 2 (c) に示すように、n チャネル型 TFT の一部及び p チャネル型 TFT の一部にドーピングを行った a-Si 膜 3 a をエキシマレーザ光を用いてアニール（ELA）して結晶化し、ノンドープ領域 8 と B ドープ領域 9 とを有する多結晶シリコン膜 3 を形成する。

#### 【0048】

次に、図 2 (d) に示すように、多結晶シリコン膜 3 をフォトリソグラフィ工程を用いてアイランドパターンにエッチングした後、図 2 (e) に示すように、LPCVD 法、PCVD 法、スパッタ法等を用いてゲート絶縁膜 4 としてシリコン酸化膜を形成する。このゲート絶縁膜 4 の膜厚は電源電圧、VT など TFT の特性、仕様によって異なるが、通常 30 nm ~ 200 nm 程度の範囲が好適である。その後、PCVD 法、スパッタ法等を用いて、メタル、シリコン、シリサイド等の導電材を堆積し、導電材をフォトリソグラフィ工程を用いてパターンニングしてゲート電極 5 を形成する。

#### 【0049】

次に、図 3 (a) に示すように、レジストパターン 10 b を用いて p チャネル型 TFT 形成領域を覆い、ゲート電極 5 をマスクとして n チャネル型 TFT に P（燐）をドーピングし、続いて、レジストパターン 10 c を用いて n チャネル型 TFT 形成領域を覆い、同様にゲート電極 5 をマスクとして p チャネル型 TFT に B をドーピングし、ソース／ドレイン領域を形成する。なお、n チャネル型 TFT のドーピングと p チャネル型 TFT のドーピングの順番は任意であり、逆であっても良い。

#### 【0050】

ここで、ドレイン近傍の高電界領域におけるデバイスの信頼性低下を防止するために LDD（Lightly Doped Drain）構造を形成する場合は、レジストパターンを用いてゲートにオフセットをつけて不純物を注入した後、ゲート電極 5 をマスクとして低濃度に P を注入し、その後、活性化を行う。活性化の方法としてはオーソドックスな熱活性化、レーザ



を用いたレーザ活性化に加えてランプや高温N<sub>2</sub>を用いたRTA (Rapid Thermal Anneal) 等があり、ゲートメタルなどの構造に最も適した活性化工程を選択する。

#### 【0051】

その後、水素プラズマ処理を行った後、図3 (c) に示すように、層間絶縁膜6としてシリコン酸化膜、シリコン窒化膜等を堆積し、ゲート及びソース／ドレイン上にコンタクトホールを形成し、電極7としてメタルを形成して電極配線を行う。このメタルとしては通常Alが用いられる。その後、図示しないが、シリコン窒化膜等のパッシベーションを成膜してパッドコンタクトホールを形成して薄膜半導体装置を形成する。

#### 【0052】

このように、本発明では、nチャネル型の一部にBをドーピングする際に、同時に一部のpチャネル型TFET形成領域にもBをドーピングすることにより、工程を増加させることなく同一チャネル型内でVTの異なる2種類のTFETを作成することができる。また、低VT-n型TFETと高VT-p型TFETのチャネル領域には同一のドーパント (B) が略等しい濃度で導入されるため、VTの対称性を確保することができる。

#### 【0053】

上記説明では、基本的にBによりnチャネル型TFETのVTを制御する手法をpチャネル型TFETで利用することにより、n、pのVTを制御する方法について述べたが、他の方法でn、pのVTを制御する方法においても同様の考え方で同一チャネル型で2種類のVTを有するTFETを作成することができる。例えば、図4に示すように、図2 (b) の工程でBをドーピングする代わりに、中央のTFET (高VT-p型TFET及び低VT-n型TFET) が露出するようにレジストパターン10aを形成し、Pをドーピングする方法によっても、Pをドーピングしたpチャネル型TFETのVTを高く、nチャネル型TFETのVTを低くし、n、p共に2種類のVTを有するTFETを作成することができる。

#### 【0054】

また、これらの方法よりもドーピング工程が一工程分増加するが、反対導電型のドーパントを打ち返す方法によってもn、p共に2種類のVTを有するTFETを作成することができる。例えば、図5に示すように、図2 (b) の工程で両端の2つのTFETにBをドーピングする代わりに、全面 (n、p共に) Bをドーピングした後 (図5 (a))、中央のTFET (高VT-p型TFET (2) 及び低VT-n型TFET (3)) が露出するようにレジストパターン10aを形成し、Pをドーピングする (図5 (b)) 方法を用いることもできる。この場合、低VT-n型TFET (3) ではn型不純物濃度が実質的に低下し、高VT-p型TFET (2) ではp型不純物濃度が増加し、n型、p型共に2種類のVTのTFETを作成することができる。また、図6に示すように、全面 (n、p共に) Pをドーピングした後 (図6 (a))、両端のTFET (低VT-p型TFET及び高VT-n型TFET) が露出するようにレジストパターン10aを形成し、Bをドーピングする (図6 (b)) 方法を用いることもできる。この場合、高VT-n型TFET (4) ではn型不純物濃度が増加し、低VT-p型TFET (1) ではp型不純物濃度が実質的に低下し、同様にn型、p型共に2種類のVTのTFETを作成することができる。

#### 【0055】

このようにnチャネル型TFETのVT制御するためのBをpチャネル型TFETに利用する構成、pチャネル型TFETのVT制御するためのPをnチャネル型TFETに利用する構成、又は、一部のnチャネル型TFET又はpチャネル型TFETにB又はPをドーピングしない構成を組み合わせることにより、同一のチャネル型について複数種類の異なるVTを有するTFETを作成することができる。そして、オフ電流特性が必要なスイッチ、ロジック系回路と低VTが必要でオフ特性を必要としないアナログ系回路とを異なるVTを持つTFETで構成することにより、双方の回路特性を向上させることができる。

#### 【0056】

上記方法を用いて形成したTFETを含むアナログ回路の具体例について説明する。低VT-TFETでアナログ回路を構成することにより動作速度を向上させ、ダイナミックレンジを広くすることができるが、アナログ回路を低VTのTFETのみで構成するとアナログ

回路停止時にはリーク電流によって電力を消費してしまうという問題が生じる。そこで回路停止時に低V TのT F Tによるリーク電流を遮断する高V TのT F Tで構成したスイッチを設け、回路停止時に高V TのT F Tスイッチをオフとし、アナログ回路停止時のリーク電流による電力消費を抑えることにより、上記問題の解決を図っている。

#### 【0057】

具体的には、本発明を実施するための最良の形態の回路は、図7に示すように、入力端子11、出力端子12、高電位側電源端子13、低電位側電源端子14と低V T-T F Tを含むアナログ回路20、高V T-T F Tで構成したスイッチ21、22とからなり、アナログ回路20は入力端子11に入力された入力電圧 $V_{in}$ に応じて出力電圧 $V_{out}$ を出力端子12より出力する。スイッチ21、22はそれぞれ高電位側電源端子13、低電位側電源端子14とアナログ回路20との間に設けられ、制御信号S1とその反転信号S1Bにより制御され、制御信号S1がハイレベル、S1Bがローレベルのときアナログ回路20を活性（動作可能）とし、制御信号S1がローレベル、S1Bがハイレベルのときアナログ回路20を非活性（停止）とする。

#### 【0058】

上記構成において、高V T-T F Tで構成したスイッチ21、22により、入力端子11、出力端子12、高電位側電源端子13、低電位側電源端子14の各端子間の電流パス経路上に低V T-T F Tを含んでいるときに、その電流パスを遮断して回路を停止させるとともに、停止時のリーク電流による電力消費を抑えることができる。また、回路停止時にリーク電流による入力端子11や出力端子12への電位変動などの影響も抑えることができる。

#### 【0059】

例えば、入力端子11と低電位側電源端子14との間に低V T-T F Tを含んだ電流パス経路が存在してもスイッチ22により電流パスを遮断することができ、高電位側電源端子13と出力端子12との間に低V T-T F Tを含んだ電流パス経路が存在してもスイッチ21により電流パスを遮断することができる。また、高電位側電源端子13から低電位側電源端子14との間に電流パス経路が存在してもスイッチ21またはスイッチ22のいずれか一方で電流パスを遮断することができる。

#### 【0060】

このように、本発明の方法を用いて低V T-T F Tを含むアナログ回路20と高V T-T F Tで構成したスイッチ21、22を形成することにより、アナログ回路の高性能化（動作速度の向上、ダイナミックレンジの拡大）が実現することができると共に、リーク電流による電力の消費を防止することができる。このリーク電流の防止構造によって、本発明の構造を低消費電力化が求められるモバイル機器の駆動回路に適用する場合であっても、アナログ回路に用いる低V T-T F Tのオフ時のリーク電流の制限を緩和することができる。具体的には、高V T-T F Tのオフ時のリーク電流は通常閾値電圧における電流（約10-7 A）の1万分の1（約10-11 A）以下が求められるのに対し、低V T-T F Tのオフ時のリーク電流は閾値電圧における電流（約10-7 A）以下であればよく設計の自由度を大きくすることができる。なお、上記に示した電流値はおよその目安である。

#### 【0061】

このアナログ回路20の構成は、増幅回路、電源回路、比較器、駆動回路等、様々な回路のアナログ回路部に適用することができる。また、低V T-T F Tはエンハンスメント型であることが望ましいが、わずかにディプレッション型となる場合があっても構わない。

#### 【実施例】

#### 【0062】

上記した形態に係る回路の具体適構成について以下に説明する。なお、以下の回路構成では、説明を簡単にするためにV Tの高いT F TとV Tの低いT F Tの2種類のT F Tを備える構成としているが、更にこの2種類のT F TとV Tの異なる第3のT F Tを備える

構成としても良い。一般に、低 $V_T$ の方が高 $V_T$ のTFTよりもオフリーク電流が大きくなる。

#### 【0063】

##### 〔実施例1〕

まず、本発明の第1の実施例に係る2種類の $V_T$ のTFTを備えるアナログ回路について、図8を参照して説明する。図8は、本発明の構造を差動増幅回路に適用した例を示す回路図である。以下の説明にあたって、TFTは高 $V_T$ 、低 $V_T$ とも絶縁ゲート型トランジスタとする。

#### 【0064】

図8に示すように、本実施例の回路は、差動段と増幅段からなる最も簡単な差動増幅回路であり、低 $V_T$ -TFTを差動段（図8の23）に適用し、差動対101、102を低 $V_T$ -TFTで形成し、差動対101、102の電流パスを遮断するスイッチ501を高 $V_T$ -TFTで形成した差動増幅回路である。差動対101、102以外は全てスイッチ501と同様の高 $V_T$ -TFTで形成されている。差動段、増幅段ともにそれぞれアイドリング電流が流れるアナログ回路部であるが、本実施例では差動対101、102だけを低 $V_T$ -TFTで形成した実施例について説明する。以下、図8について詳細に説明すると、差動段がnチャネルトランジスタからなる差動対101、102と、差動対を駆動し、差動対と低電位側電源端子14との間にトランジスタスイッチ501を介して接続された電流源105と、差動対の負荷回路をなし、差動対と高電位側電源端子13との間に接続されたpチャネルトランジスタからなるカレントミラー回路103、104とで構成されている。

#### 【0065】

カレントミラー回路の入力端（トランジスタ104のドレインとゲートとの接続点）が差動対のトランジスタ102のドレインと接続され、出力端が差動対のトランジスタ101のドレインと接続され、トランジスタ101のドレインが差動段の出力をなしている。増幅段は、ゲートに差動段の出力が入力され、ソースが高電位側電源端子13と接続され、ドレインが出力端子12と接続されたpチャネルトランジスタ106と、出力端子12と低電位側電源端子14との間に直列形態で接続された電流源107及びトランジスタスイッチ502と、pチャネルトランジスタ106のゲートと高電位側電源端子13との間に接続されたトランジスタスイッチ503とで構成されている。トランジスタスイッチ501、502、503には制御信号S1がそれぞれ入力される。なお、本実施例では、2つの差動入力端子は絶縁ゲート型トランジスタのゲート端子であるため、差動入力端子と電源端子や出力端子との間に電流パスは生じない構成となっている。

#### 【0066】

この差動増幅回路は、動作時には制御信号S1をハイレベルとして、スイッチ501、502をオン、スイッチ503をオフとする。これにより2つの差動入力電圧 $V_{in}(+)$ 、 $V_{in}(-)$ の電圧差に応じて差動段の出力が変化し、pチャネルトランジスタ106のゲートの変化によってpチャネルトランジスタ106のドレイン電流が制御され、電流源107の電流とのバランスによって出力電圧 $V_{out}$ が決定される。一例としては、差動対の反転入力端子（トランジスタ102のゲート）を出力端子12と接続すると、非反転入力端子（トランジスタ101のゲート）の入力電圧と等しい電圧を出力するボルテージフォロウ回路が形成できる。なお、動作時において、差動段では差動対101、102およびカレントミラー回路103、104に電流源105で制御されたアイドリング電流が流れる。一方増幅段では、pチャネルトランジスタ106に流れるアイドリング電流は出力端子12に接続される回路によって異なり、出力端子12から外部回路へ一定の放電電流がある場合には、pチャネルトランジスタ106に流れるアイドリング電流は放電電流と電流源107で制御された電流との合計電流が流れる。また出力端子12に容量性負荷が接続された場合は、容量の充放電が完了した安定動作状態において、pチャネルトランジスタ106には電流源107で制御されたアイドリング電流がそのまま流れる。

#### 【0067】

一方、停止時には制御信号 S1 をローレベルとして、スイッチ 501、502 をオフ、スイッチ 503 をオンとする。差動段はスイッチ 501 がオフとなるため低電位側電源端子 14 に流れ込む電流が遮断され、差動段の出力は高位電源電圧 VDD 側へ変化する。増幅段は、スイッチ 503 がオンとなるため p チャネルトランジスタ 106 のゲートが高位電源電圧 VDD に引上げられ、p チャネルトランジスタ 106 はオフとなる。また、スイッチ 502 がオフとなるため、出力端子 12 と低電位側電源端子 14 との間の電流パスも遮断される。このように制御信号 S1 により差動増幅回路の動作、停止が制御される。

#### 【0068】

この差動増幅回路のダイナミックレンジ（電源電圧範囲に対する出力電圧範囲）は、上限が高位電源電圧 VDD で、下限が低位電源電圧 VSS から n チャネルトランジスタ 101、102 の閾値電圧だけ狭い範囲である。このため、図 8 の構成では、差動対 101、102 を低 VT-TFT で形成することにより、差動段 23 の動作レンジが広がり、差動増幅回路のダイナミックレンジを拡大することができる。なお、この差動増幅回路は、動作停止時に、低 VT-TFT で構成された差動対 101、102 の電流パスが高 VT-TFT で形成したスイッチ 501 で遮断されるためリーク電流によって消費電力が増加することはない。

#### 【0069】

##### 〔実施例 2〕

次に、本発明の第 2 の実施例に係る 2 種類の VT の TFT を備えるアナログ回路について、図 9 を参照して説明する。図 9 は低 VT-TFT を差動段（図 9 の 23）に適用し、差動対 101、102 およびカレントミラー回路 103、104 を低 VT-TFT で形成し、差動対およびカレントミラー回路の電流パスを遮断するスイッチ 501 を高 VT-TFT で形成した差動増幅回路である。差動対 101、102 およびカレントミラー回路 103、104 以外は全てスイッチ 501 と同様の高 VT-TFT で形成されている。

#### 【0070】

差動対 101、102 を低 VT-TFT で形成することにより、図 8 と同様に差動段 23 の動作レンジを広げ、差動増幅回路のダイナミックレンジを拡大することができる。また、カレントミラー回路 103、104 を低 VT-TFT で形成することにより、差動対に対する負荷回路としての負荷が小さくなるため、カレントミラー回路の動作応答が速くなり、差動増幅回路の動作を速めることができる。なお、低 VT-TFT をカレントミラー回路 103、104 のみに適用し、差動対の電流パスを遮断するスイッチ 501 を高 VT-TFT で形成した差動増幅回路としてもよい。この場合も図 8 の増幅回路と同様に、低 VT-TFT を利用して差動増幅回路の性能を向上させることができ、高 VT-TFT で形成したスイッチ 501 を設けることによって低 VT-TFT のリーク電流による消費電力の増加も防ぐことができる。

#### 【0071】

##### 〔実施例 3〕

次に、本発明の第 3 の実施例に係る 2 種類の VT の TFT を備えるアナログ回路について、図 10 を参照して説明する。図 10 は本発明の構造を差動増幅回路に適用した別の例を示す回路図である。

#### 【0072】

図 10 に示すように、本実施例の回路は、低 VT-TFT を差動段（図 10 の 23）と増幅段（図 10 の 24）に適用した差動増幅回路で、差動対 101、102 およびカレントミラー回路 103、104 を低 VT-TFT で形成し、差動対およびカレントミラー回路の電流パスを遮断するスイッチ 501 を高 VT-TFT で形成し、さらに増幅段の p チャネルトランジスタ 106 を低 VT-TFT で形成し、p チャネルトランジスタ 106 が設けられている高電位側電源端子 13 と出力端子 12 の間の電流パスを遮断するスイッチ 504 を高 VT-TFT で形成した差動増幅回路である。

#### 【0073】

トランジスタスイッチ 504 は、高電位側電源端子 13 と出力端子 12 の間に p チャネ

ルトランジスタ106と直列形態で接続されるが、これは、トランジスタスイッチ504が、pチャネルトランジスタ106と直列形態で接続されないと、差動増幅回路が停止時に低V<sub>T</sub>-TFETのpチャネルトランジスタ106のリーク電流により、出力端子12の電圧が上昇するなどの影響を与える場合があるからである。このトランジスタスイッチ504のゲートには制御信号S1の反転信号S1Bが入力され、差動増幅回路の動作時にはスイッチ501、502とともにオン、停止時にはスイッチ501、502とともにオフとされる。

#### 【0074】

本実施例の効果のうち、差動段（図10の23）に低V<sub>T</sub>-TFETを適用した場合については図9と同様に差動段23の動作レンジを広げ、差動増幅回路のダイナミックレンジを拡大することができる。さらに本実施例では増幅段（図10の24）のpチャネルトランジスタ106を低V<sub>T</sub>-TFETで形成することにより、電源電圧範囲におけるpチャネルトランジスタ106のオン領域が広がり、差動段出力（トランジスタ106のゲート電圧）変化範囲におけるトランジスタ電流駆動能力の上限も上がるため、差動増幅回路の動作速度を向上させることができる。このように本実施例でも、消費電力の増加を招かずに差動増幅回路の性能を向上させることができる。

#### 【0075】

##### 〔実施例4〕

次に、本発明の第4の実施例に係る2種類のVTのTFETを備えるアナログ回路について、図11を参照して説明する。図11は、本発明の構造を差動増幅回路に適用した例を示す回路図である。

#### 【0076】

本実施例は、図10の差動増幅回路と、トランジスタ極性において図10と対称の構成の差動増幅回路との2つの差動増幅回路（図11の30と40）を組み合わせる構成とした差動増幅回路である。図11の2つの差動増幅回路30、40はそれぞれ非反転入力端子V<sub>in</sub>(+)を入力端子11と接続し、更にそれぞれの出力端子を出力端子12に共通接続し、また、2つの差動増幅回路はそれぞれ反転入力端子V<sub>in</sub>(-)を出力端子12に共通接続したボルテージフォロウ構成となっている。2つの差動増幅回路は制御信号S1、S2およびそれぞれの反転信号S1B、S2Bにより個別に動作および停止の制御が可能である。

#### 【0077】

図11の差動増幅回路は、差動増幅回路30が制御信号S1、S1Bにより活性とされて動作するとき、pチャネルトランジスタ106により高速充電動作が可能であり、差動増幅回路40が制御信号S2、S2Bにより活性とされて動作するとき、nチャネルトランジスタ206により高速放電動作が可能である。制御信号S1、S1B、S2、S2B（S1B、S2BはそれぞれS1、S2の反転信号）を制御することにより、高速充電動作と高速放電動作を適宜切り替えて動作させることができる。このため図11の差動増幅回路は、電流源107および207に流す電流を抑えて低電力化を図っても高速動作が可能である。

#### 【0078】

また、出力端子12は、信号PCおよびPCBで制御される相補型スイッチ131、132を介して電源VCCと接続される。これにより必要に応じて出力端子12の電圧を電源電圧VCCに予備充電または予備放電することもできる。図11を構成する2つの差動増幅回路30、40の動作範囲はそれぞれ差動対を構成するトランジスタの閾値電圧分だけ狭くなっているが、電源VCCによる予備充電または予備放電により図11の駆動回路は電源電圧範囲に等しい動作範囲を実現することができる。なお、電源VCCは複数の電圧レベルをもつ可変電源であってもよい。

#### 【0079】

##### 〔実施例5〕

次に、本発明の第5の実施例に係る2種類のVTのTFETを備える絶縁基板上に形成し

た画像表示装置用回路について、図12乃至図15を参照して説明する。図12は、本発明を液晶表示装置に適用した例を示す図であり、図13は、有機EL表示装置に適用した例を示す図である。又、図14及び図15は、その具体的な回路構成を示す図である。

#### 【0080】

図12は、同じ絶縁基板上に表示部および表示コントローラ、ドライバ等の表示部を駆動するために必要な駆動回路や周辺回路を形成したTFT基板側の回路ブロック図の実施例を示している。図12において、TFT基板31の外部よりシステム電源およびデジタル映像信号、制御信号が入力される。これらの信号が表示コントローラ36に送られ、デジタル映像信号はメモリ37に送られる。なお、デジタル映像信号の送り方は、アドレス信号と対応させて送る方法やシリアルまたはパラレルで送るなど様々な方法が可能であり、送り方に応じて必要な信号や必要な回路を備えているものとする。各ブロックは表示コントローラ36から送られる制御信号に基づいて動作制御される。電源回路35はシステム電源を元に各ブロックで必要とされる電源電圧を発生させる。デジタル映像信号はメモリ37に記憶され、メモリ37からタイミングに応じて読み出された映像信号はデータドライバ34に送られる。データドライバ34は階調電圧発生回路、データラッチ、デコーダ、出力アンプ等で構成され、デジタル映像信号に応じて選択された階調電圧を出力アンプで増幅してデータ線43に出力する。ゲートドライバ33は各ゲート線42を順次選択する走査信号を出力する。表示部32はゲート線42とデータ線43が交差して配置される。なお、メモリ37は1フレームまたは複数フレームの画像データを記憶できるのが好ましい。

#### 【0081】

図12では表示部32がアクティブマトリクス型の構成を示している。アクティブマトリクス型の表示部は、画素がマトリクス状に配置され、各画素ごとにTFT41が設けられ、TFT41は制御端がゲート線42に、ドレインがデータ線43に、ソースが画素電極に接続される。図12では省略しているが、TFT基板31と対向するように透明電極を設けた対向基板があり、TFT基板31と対向基板の間に液晶が封入される構成となる。画素と対向基板の電極（コモン線44）の間の液晶は液晶容量45を形成し、蓄積容量46とともに容量の両端に印加された電圧差を保持することにより液晶透過率を制御して階調表示を行うことができる。なお、コモンドライバ38は対向基板の電極に印加する電圧信号を発生させ、TFT基板側から対向基板の電極（コモン線44）に送られる。

#### 【0082】

図12に示すTFT基板31は表示部32とその駆動回路および周辺回路とが一体として形成されているため、一回の工程でTFTや配線を形成することができ、本発明においては絶縁基板（TFT基板31）上に形成するTFTは、極性ごとに異なるVTを有するTFT（高VT-TFTと低VT-TFT）を同時に形成することができる。そして低VT-TFTは回路動作時にアイドル電流を必要とするアナログ回路部に適用し、高VT-TFTはロジック回路およびスイッチに適用することにより、消費電力を増加させることなくアナログ回路部の動作速度の向上やダイナミックレンジの拡大が実現でき、これにより表示装置の性能を向上させることができる。

#### 【0083】

図13は、図12と同様に絶縁基板上に表示部およびその駆動回路および周辺回路を一体として形成した表示装置の回路ブロック図であり、代表的な有機EL表示装置のTFT基板側の回路ブロック図を示している。図13において、図12と同様の機能については同じ素子番号を用いる。図13も表示部32がアクティブマトリクス型の構成を示している。有機EL表示装置のアクティブマトリクス型の表示部は、画素がマトリクス状に配置され、各画素ごとにスイッチングTFT51、電流制御TFT54、有機薄膜で形成された発光ダイオードOLED55 (Organic Light Emitting Diode) が設けられ、TFT51は制御端がゲート線52に、ドレインがデータ線53に、ソースがTFT54の制御端に接続される。TFT54はソースが高位電源VDDに、ドレインがOLEDの一端に接続され、OLEDの他端は低位電源VSSが与えられている。なお、低位電源VSSは図1

3に示していないが、陰極基板側に形成された電極に与えられる。TFT51がオン状態となって画像信号に対応した電圧がTFT54に与えられると、TFT54は高位電源VDDとの電圧差に応じた電流をOLED55に流し、OLED55は電流の大きさに応じた輝度で発光する。このようにOLED55に流す電流を制御することにより階調表示を行うことができる。なお、図13のコモンドライバ38は陰極基板側の電極に与える電圧VSSを発生させる回路であるが、電圧VSSがGNDのときは設けなくともよい。

#### 【0084】

図13に示すTFT基板31は表示部32とその駆動回路および周辺回路とが一体として形成されているため、一回の工程でTFTや配線を形成することができ、本発明においては絶縁基板(TFT基板31)上に形成するTFTは、極性ごとに異なるVTを有するTFT(高VT-TFTと低VT-TFT)を同時に形成することができる。そして低VT-TFTは回路動作時にアイドリング電流を必要とするアナログ回路部に適用し、高VT-TFTはロジック回路およびスイッチに適用することにより、図12と同様に消費電力を増加させることなくアナログ回路部の動作速度の向上やダイナミックレンジの拡大が実現でき、これにより表示装置の性能を向上させることができる。

#### 【0085】

図12および図13について更に詳細に説明すると、図12および図13のアナログ回路の具体例としては、データドライバ34の出力アンプや、電源回路35のレギュレータ、メモリ37のセンスアンプ等があり、それらの一部の素子を低VT-TFTで形成することによりダイナミックレンジの拡大や高速動作の性能を向上させ、表示装置の性能を向上させることができる。例えば、本発明によりデータドライバ34の出力アンプの動作速度が向上すれば、各データ線43への階調電圧出力が短い時間できるため、短時間でのデータ線駆動が要求される高精細パネルを実現することもできる。

#### 【0086】

ロジック回路やスイッチの具体例としては、ゲートドライバ33、表示コントローラ36や表示部32の画素部のスイッチ(図中のTFT41)などが該当し、これらの回路を構成するTFTは、リーク電流による消費電力の増加や誤動作を防ぐため高VT-TFTで形成する。またデータドライバ34やメモリ37等にもロジック回路やスイッチは多く含まれている。すなわち、いずれの回路ブロックとも、ロジック回路が主体であっても一部アナログ回路を含んでいる場合もありうる。そのような回路ブロックの代表例を図14と図15に示す。

#### 【0087】

図14はデータドライバ34の構成例を示した図である。図14のデータドライバは階調電圧発生回路200、ラッチ400、デコーダ300、増幅回路100、出力端子群500で構成され、階調電圧発生回路200は両端に電源電圧VHおよびVLが与えられた抵抗ストリングで構成され、抵抗ストリングの各タップから生成された階調電圧(多値レベル電圧)を出力し、ラッチ400ではデータドライバ34に入力された映像デジタルデータを取り込んで、所定のタイミングでデコーダ300に出力し、デコーダ300はラッチ400から出力されたデジタルデータに対応した階調電圧を選択して増幅回路100に出力し、増幅回路100は入力された階調電圧を増幅してデータ線(図12の43、図13の53)に接続された出力端子に出力する。なお、データドライバ外部からラッチ400に送られる映像デジタルデータは、図12や図13のメモリ37から読み出され、パラレル形式で直接ラッチ400に入力されるのが好ましいが、もしシリアル形式でデータが送られてくる場合には、シフトレジスタを設けてクロックと同期させて順次ラッチ400に取り込む構成としてもよい。図14においては、ラッチ400がロジック回路に該当する。またデコーダ300は多値レベルを処理する回路ではあるがスイッチで構成された回路であり、ラッチ400とともに高VT-TFTで形成する。一方、増幅回路100はアナログ回路であり、図8乃至図11で示したような差動増幅回路を適用することができる。増幅回路100に本発明を適用することにより消費電力を増加させることなく、増幅回路100の動作速度の向上やダイナミックレンジの拡大を実現することができる。なお

図14の階調電圧発生回路200はTF Tを含んでいないため説明は省略する。

【0088】

また、図15は、上記非特許文献1（「近代科学社出版、超LSI入門シリーズ5「MOS集積回路の基礎」、p64」）のスタティックRAMを絶縁基板上に形成したメモリ34の構成例を示した図であり、メモリセルアレイ600、データ入力バッファ700、データ出力バッファ800、センスアンプ900等で構成されている。図15のメモリは、行アドレスと列アドレスによりメモリセル600を指定し、ライトイネーブル信号のレベル（ローレベル、ハイレベル）により指定したメモリセル600への書き込みや読み出しが行われる。センスアンプ900はメモリセル600から読み出されたデータを増幅し、読み出し動作を速やかに行う作用をしている。図15において、メモリセル600はフリップフロップ構成であり、データ入力バッファ700、データ出力バッファ800とともにロジック回路に該当し、それぞれ高VT-TF Tで形成する。一方、センスアンプ900は図8乃至図10の差動段（各図の21）とほぼ同じ構成であり、図8乃至図10の差動段のように差動対やカレントミラー回路を低VT-TF Tで形成し、それらの電流パスを遮断する高VT-TF Tで形成したスイッチを設けることにより、消費電力を増加させることなく、センスアンプ900の動作速度の向上や動作レンジの拡大を実現することができる。

【0089】

なお、アナログ回路は絶縁基板上の任意の回路に構成することが可能であり、それに対して本発明を適用することが可能である。例えば、図12、図13では画素部にスイッチTF Tしか用いていないが、画素部にも様々な機能回路を設けることは可能で、それにアナログ回路を用いた場合に本発明を適用して性能を向上させることもできる。

【0090】

また、図14のデータドライバや図15のメモリ等の回路ブロックを単独で絶縁基板上に形成して個々にチップ化する場合でも、アナログ回路に本発明を適用することによりチップの消費電力を増加させることなく従来よりも高性能化が実現できることは言うまでもない。

【0091】

上記各実施例で示したように本発明の方法で形成した低VT-TF Tと高VT-TF Tとを配置して回路を構成することにより、低VT-TF Tによりアナログ回路としての性能を向上させ、かつ、高VT-TF Tにより電流の漏洩を防止することができる。この本発明の効果を明確にするために、低VT-TF Tをインバータやスイッチ等のロジック回路に適用した構成（本発明に含まれないケース）における問題点を説明する。

【0092】

図16（a）は、低VT-TF Tで形成したインバータの回路構成を示す図である。図16（a）のインバータは、高位側電源VDDにソースが接続されたpチャネルトランジスタ901と、ドレインがpチャネルトランジスタ901のドレインとともに出力端子12に接続され、ゲートがpチャネルトランジスタ901のゲートとともに入力端子11に接続されたnチャネルトランジスタ902とで構成されている。インバータの動作は、入力Vinがローレベル（VSS）のとき、pチャネルトランジスタ901がオン、nチャネルトランジスタ902がオフとなり、出力Voutがハイレベル（VDD）となり、入力Vinがハイレベル（VDD）のとき、pチャネルトランジスタ901がオフ、nチャネルトランジスタ902がオンとなり、出力Voutがローレベル（VSS）となる。

【0093】

このようにpチャネルトランジスタ901、nチャネルトランジスタ902の一方はオフしている。しかしながら、pチャネルトランジスタ901、nチャネルトランジスタ902を低VT-TF Tで形成し、そのオフリーク電流が比較的大きいとき、インバータとしての動作は高速化されるが、オフしているトランジスタのリーク電流により消費電力が増加するという問題が生じる。これに対して、本発明では低VT-TF Tをアナログ回路に適用し、その動作は高速化されるが消費電力は増加しない。



## 【0094】

図16(b)は低V<sub>T</sub>-T<sub>FT</sub>をクロックインバータに適用した構成(本発明に含まれないケース)を示す図である。図16(b)では、図16(a)の低V<sub>T</sub>-T<sub>FT</sub>で形成したインバータと高電位側電源端子13との間にトランジスタスイッチ903が接続され、図16(a)のインバータと低電位側電源端子14との間にトランジスタスイッチ904が接続され、トランジスタ903、904のそれぞれのゲートに制御信号S3およびS4が入力されている。

## 【0095】

図16(b)の構成では、高V<sub>T</sub>-T<sub>FT</sub>のトランジスタ903、904が共にオフのときは完全に電流パスが遮断されるため、低V<sub>T</sub>-T<sub>FT</sub>で形成したトランジスタ901、902のリーク電流が高くても動作に影響はないが、高V<sub>T</sub>-T<sub>FT</sub>のトランジスタ903、904の少なくとも一方がオンのときは動作に影響を与える場合がある。例えば、トランジスタ901、902、903、904がそれぞれオフ、オン、オン、オフのとき、トランジスタ901のリーク電流が高いと、高電位側電源端子13から電荷が出力端子12に流入し、誤動作を生じる場合がある。

## 【0096】

図16(c)は、低V<sub>T</sub>-T<sub>FT</sub>をスイッチに適用した構成(本発明に含まれないケース)を示す図である。図16(c)は、図8の差動段と類似の構成で、高V<sub>T</sub>のトランジスタスイッチ501の代わりに低V<sub>T</sub>-T<sub>FT</sub>スイッチ951を設けた差動段である。この構成では低V<sub>T</sub>-T<sub>FT</sub>の差動対911、912を含む電流パス経路上に高V<sub>T</sub>-T<sub>FT</sub>で構成したスイッチが設けられていない構成である。従って、S1をローレベルとして差動段の動作を停止させた場合でも、差動段には電流源915で制御される電流が流れようとするため、低V<sub>T</sub>-T<sub>FT</sub>スイッチ951のリーク電流が高いと、それによって差動段の停止時における消費電力が増加する。このようにアナログ回路においてもスイッチに対して低V<sub>T</sub>-T<sub>FT</sub>を適用すると消費電力が増加するという問題が生じる。これに対して、本発明では低V<sub>T</sub>-T<sub>FT</sub>をアナログ回路の所定の内部電流が流れる回路部に適用し、スイッチには適用しない。また、電流パス経路において、低V<sub>T</sub>-T<sub>FT</sub>を含む電流パス経路上には高V<sub>T</sub>-T<sub>FT</sub>で構成したスイッチも含んで構成するため消費電力は増加しない。

## 【0097】

## [実施例6]

さらに追加して本発明の第6の実施例に係る2種類のV<sub>T</sub>のT<sub>FT</sub>を備えるアナログ回路について、図17を参照して説明する。図17は、本発明を差動増幅器に適用した別の実施例の回路構成を示す図である。

## 【0098】

図17に示すように、本実施例の差動増幅回路は、差動段23が、低V<sub>T</sub>-T<sub>FT</sub>を有し、増幅段24が低V<sub>T</sub>-T<sub>FT</sub>を有する。すなわち、差動段23において、差動対を構成するトランジスタ対101、102、電流源501と電源V<sub>SS</sub>間に挿入されるスイッチトランジスタ501を、高V<sub>T</sub>-T<sub>FT</sub>で構成し、差動対の能動負荷回路をなすカレントミラー回路を構成するトランジスタ対103、104を、低V<sub>T</sub>-T<sub>FT</sub>で形成している。増幅段24のpチャネルトランジスタ106を低V<sub>T</sub>-T<sub>FT</sub>で形成し、pチャネルトランジスタ106とソースと高電位側電源端子13間に挿入されるトランジスタ504を高V<sub>T</sub>-T<sub>FT</sub>で構成し、出力端子12と低電位側電源端子13間に、電流源107と直列に接続されるnチャネルトランジスタ502を高V<sub>T</sub>-T<sub>FT</sub>で形成している。なお電流源105、107をトランジスタで形成する場合、電流源105、107はそれぞれトランジスタ501、502と直列形態に接続されていることから、低V<sub>T</sub>-T<sub>FT</sub>および高V<sub>T</sub>-T<sub>FT</sub>のいずれで形成してもよい。スイッチ素子として機能するトランジスタ501、502のゲートには制御信号S1が入力され、トランジスタ504のゲートには制御信号S1の反転信号S1Bが入力される。差動増幅回路の動作時(活性化時)には、トランジスタ501、502、504はオン状態とされ、停止時(非活性化時)には、ト

ランジスタ 501、502、504 はオフ状態とされる。

#### 【0099】

図 17 に示す回路において、信号 S1 がハイレベルとされ、差動段 23 及び増幅段（出力増幅段）24 が活性状態のとき、例えば非反転入力端子 11b の信号電圧  $V_{in}(+)$  が反転入力端子 11a の信号電圧  $V_{in}(-)$  に対してより大の方向に変化すると、N チャンネルトランジスタ 101 のゲート・ソース電圧が増大してドレイン電流が増大し、トランジスタ 103 のオン抵抗の電圧ドロップにより、差動段 23 の出力ノード電圧が下がり、P チャンネルトランジスタ 106 のゲート・ソース間電位がより大となり、このため P チャンネルトランジスタ 106 のドレイン電流（ソース電流）が増大し、定電流源 107 の電流（シンク電流）との差から、出力端子電圧  $V_{out}$  は、非反転入力端子 11b の信号電圧  $V_{in}(+)$  に同相で上昇する（例えば容量性負荷等の場合、出力端子 12 に接続される負荷容量の蓄積電荷が増大する）。非反転入力端子 11b の信号電圧  $V_{in}(+)$  が反転入力端子 11a の信号電圧  $V_{in}(-)$  に対してより小の方向に変化すると、N チャンネルトランジスタ 101 のゲート・ソース電圧が小さくなりドレイン電流が減少し、トランジスタ 103 のオン抵抗の電圧ドロップにより、差動段 23 の出力ノード電圧が上昇し、P チャンネルトランジスタ 106 のゲート・ソース間電位がより小となり、このため P チャンネルトランジスタ 106 のドレイン電流（ソース電流）が減少し、定電流源 107 の電流（シンク電流）との差から、出力端子電圧  $V_{out}$  は、非反転入力端子 11b の信号電圧  $V_{in}(+)$  に同相で下降し、P チャンネルトランジスタ 106 がカット・オフすると、出力端子 12 の電荷は放電され、電圧  $V_{out}$  は、低位の電源電圧  $V_{SS}$  側の下限に達する。

#### 【0100】

本実施例は、図 10 において、差動段 101、102 を低  $V_{T-TFT}$  で構成する代わりに、高  $V_{T-TFT}$  で構成している。この場合、差動段 23 の、動作レンジは広がらないが、カレントミラー回路 103、104 および、出力増幅段 24 のトランジスタ 106 を低  $V_{T-TFT}$  で形成することにより、図 10 と同様に、差動増幅回路の動作速度を向上させることができる。また、カレントミラー回路 103、104 は、一段構成であるが、複数段のカスコード型カレントミラー回路の全て又は一部を低  $V_{T-TFT}$  で形成した構成においても、同様の効果を実現できることは勿論である。

#### 【0101】

なお、図 8 乃至図 10 および図 17 では、差動増幅回路に低  $V_{T-TFT}$  を用いて高性能化を実現する実施例を示したが、低  $V_{T-TFT}$  を適用する箇所（素子）と、差動増幅回路の性能への影響についてさらに詳しく説明する。

#### 【0102】

上記各実施例で説明したように、差動増幅回路の差動対を低  $V_{T-TFT}$  で形成した場合（それ以外は、高  $V_{T-TFT}$  で形成）、入出力電圧範囲を拡大することができる。また、カレントミラー回路や、出力増幅段のトランジスタを低  $V_{T-TFT}$  で形成した場合には動作速度を向上させることができる。

#### 【0103】

ただし、差動対を低  $V_{T-TFT}$  で形成した場合は、差動増幅回路の動作速度が低下する場合もある。これは、差動対を構成する低  $V_{T-TFT}$  の閾値電圧が高  $V_{T-TFT}$  の閾値電圧に比べて十分小さい場合で、このとき、高電位側電源電圧  $V_{DD}$  付近の入力電圧に対して、差動増幅回路の動作速度が低下する。

#### 【0104】

これについて、図 8 を参照して説明すると、差動対 101、102 の入力電圧  $V_{in}(+)$  が高電位側電源電圧  $V_{DD}$  付近になると、差動対 101、102 の共通ソース電位も  $V_{DD}$  側に上昇する。このとき、差動対の出力電圧（トランジスタ 101 のドレイン電圧）の振れ幅の最大は、電源電圧  $V_{DD}$  と、差動対 101、102 の共通ソース電位との間の電圧範囲である。したがって、低  $V_{T-TFT}$  の差動対 101、102 の閾値電圧が十分小さいと、差動対の出力電圧の振れ幅が小さくなり、増幅トランジスタ 106 の増幅作

用が小さくなり、その結果、差動増幅回路の動作速度が低下する。ただし、差動増幅回路の入出力電圧範囲の上限が、高電位側電源電圧  $V_{DD}$  よりも十分低い場合には、問題はない。したがって、入出力電圧範囲を拡大するために、差動対に低  $V_{T-TFT}$  を用いる場合には、入出力電圧範囲の上限および動作速度を考慮して、低  $V_{T-TFT}$  の閾値電圧を設定する必要がある。すなわち、図 8 に示した差動増幅回路は、入出力電圧範囲を拡大することができるが、動作速度が低下する可能性もある。

#### 【0105】

図 10 に示した差動増幅回路は入出力電圧範囲を拡大することができ、図 8 に示した差像増幅回路よりも、動作速度を向上させることができる。

#### 【0106】

また図 17 の差動増幅回路は、入出力電圧範囲は、変わらないが、動作速度を、最も向上させることができる。

#### 【0107】

以上のように低  $V_{T-TFT}$  を適用する箇所（素子）を選択することで、必要な性能を向上させることができる。

#### 【0108】

##### 〔実施例 7〕

次に、低  $V_{T-TFT}$  と高  $V_{T-TFT}$  の構成を、差動増幅回路以外の増幅回路について適用した実施例について説明する。図 18 は、本発明の第 7 の実施例のソースフォロワ増幅回路の実施例の回路構成を示す図である。図 18 を参照すると、本実施例のソースフォロワ増幅回路は、高電位側電源端子 13 と出力端子 12 との間に直列形態で接続された  $n$  チャネルトランジスタ 111 と  $p$  チャネルスイッチトランジスタ 511 と、低電位側電源端子 14 と出力端子 12 との間に直列形態で接続した電流源 112 と  $n$  チャネルスイッチトランジスタ 512 とを備えている。 $n$  チャネルトランジスタ 111 のゲートには入力電圧  $V_{in}$  が与えられ、トランジスタ 512、511 のゲートには、制御信号  $S1$  およびその反転信号  $S1B$  がそれぞれ与えられる。このソースフォロワ増幅回路は、制御信号  $S1$ 、 $S1B$  がそれぞれハイレベル、ローレベルのとき、活性化され、制御信号  $S1$ 、 $S1B$  がそれぞれローレベル、ハイレベルのとき、非活性化される。図 18 の増幅回路の作用は、 $V_{in}$  が上昇すると、 $n$  チャネルトランジスタ 111 がソースフォロワ動作して出力電圧  $V_{out}$  を引き上げ、入力電圧  $V_{in}$  からトランジスタ 111 のゲート・ソース間電圧だけずれた電圧で安定する。また  $V_{in}$  が低下すると、 $n$  チャネルトランジスタ 111 は一旦オフ状態となり、出力電圧  $V_{out}$  は電流源 112 の放電作用により引き下げられ、電圧  $V_{in}$  と  $V_{out}$  の電位差がトランジスタ 111 の閾値電圧を超えたところで再びトランジスタ 111 がオンとなり、入力電圧  $V_{in}$  からトランジスタ 111 のゲート・ソース間電圧だけずれた電圧で安定する。図 18 の増幅回路ではトランジスタ 111 が低  $V_{T-TFT}$  で形成され、他のトランジスタは高  $V_{T-TFT}$  で形成される。これによる効果は、トランジスタ 111 の閾値電圧が下がるため増幅回路のダイナミックレンジが拡大するとともにソースフォロワの動作速度も向上する。一方、トランジスタスイッチ 511、512 は高  $V_{T-TFT}$  で形成されるので、増幅回路停止時でもリーク電流による消費電力増加は生じない。

#### 【0109】

##### 〔実施例 8〕

次に本発明の第 8 の実施例について、図 19 を参照して説明する。低  $V_{T-TFT}$  を適用した図 8 乃至図 11、図 17、図 18 に示す差動増幅回路の各実施例では、高電位側電源端子 13 から低電位側電源端子 14 への電流パスを遮断するための専用のスイッチトランジスタが個別に設けられている。これに対して、本実施例は、高  $V_{T-TFT}$  に、スイッチ機能を併せて持たせたものである。

#### 【0110】

図 19 は、図 8 に示した差動段 23 における電流源 105 を構成するトランジスタ 105 に、図 8 のスイッチ 501 の機能を持たせたものであり、図 8 のスイッチトランジスタ

501が取り去られている。

#### 【0111】

図19は、差動段23を代表例として示しており、増幅段24については示されていない。電流源105は、高V<sub>T</sub>-TFTで形成され、そのゲートにはバイアス電圧V<sub>B1</sub>が印加される。そして差動増幅回路を活性化させる場合には、バイアス電圧V<sub>B1</sub>を所定の電圧に設定し、差動増幅回路を非活性化させる場合には、バイアス電圧V<sub>B1</sub>を電源電圧V<sub>SS</sub>に設定する。差動増幅回路の非活性化時には、高V<sub>T</sub>-TFTで形成された電流源105がオフするため、リーク電流によって、消費電力が増加することはない。このように、本実施例は、トランジスタで構成した電流源105にスイッチ機能を設けることで、図8に示した差動段23と同じ作用・効果を実現することができる。

#### 【0112】

図20は、図19に示した構成の変形例を示す図である。図20を参照すると、図8に示した差動段23における、差動対の能動負荷をなすカレントミラー回路を構成するトランジスタ103、104に、スイッチの機能も備えたものである。図20に示す例では、図8の差動段23からスイッチ用のトランジスタ501が除去されており、高V<sub>T</sub>-TFTのpチャネルトランジスタ108、109が追加されている。pチャネルトランジスタ108は、カレントミラー回路を構成するトランジスタ103、104の共通ゲートとトランジスタ104のドレインとの間に接続され、ゲートに制御信号S<sub>1B</sub>（制御信号S<sub>1</sub>の反転信号）が入力され、トランジスタ109は、カレントミラー回路103、104を構成するトランジスタの共通ゲートと、高電位側電源端子13との間に接続され、ゲートに制御信号S<sub>1</sub>が入力される。差動増幅回路を活性化させる場合には、制御信号S<sub>1</sub>、S<sub>1B</sub>を、それぞれハイレベル、ローレベルとする。このとき、トランジスタ108、109は、それぞれオン、オフとなり、トランジスタ103、104はカレントミラー回路を構成する。一方、差動増幅回路を非活性化させる場合には、制御信号S<sub>1</sub>、S<sub>1B</sub>をそれぞれローレベル、ハイレベルとする。このとき、トランジスタ108、109はそれぞれオフ、オンとなり、トランジスタ103、104の共通ゲートが高電位側電源電圧V<sub>DD</sub>となってオフ状態とされ、トランジスタ104のドレインとゲート間も、オフ状態のトランジスタ108により、非導通状態とされる。

#### 【0113】

高V<sub>T</sub>-TFTで形成されたトランジスタ103、104、108が共にオフするため、アイドル電流は、完全に遮断され、リーク電流によって消費電力が増加することはない。このように、本実施例においては、トランジスタ103、104よりなるカレントミラー回路にスイッチ機能を付加することで、図8に示した実施例の差動段23と同様の作用効果を実現することができる。

#### 【0114】

以上、図8を参照して説明したが、本実施例と同様に、本発明の他の実施例についても、アイドル電流を遮断する高V<sub>T</sub>-TFTで形成されたスイッチは、必ずしも、電流遮断専用のスイッチである必要はなく、スイッチ機能と他の機能を同時に併せ持つようにした任意の構成で構わない。

#### 【0115】

また、図8等の変形例として、増幅段のPチャネルトランジスタ106を、ソースフォロウ構成（Nチャネルトランジスタ）で構成してもよい。この場合、スイッチ503は、ソースが低位側電源端子13に接続され、ドレインがソースフォロウトランジスタのゲートに接続され、ゲートに制御信号S<sub>1</sub>の相補信号S<sub>1B</sub>が入力される構成とされる。また図10等の増幅段24を、図18に示したソースフォロウ構成としてもよいことは勿論である。なお、増幅段のトランジスタをフォロウ構成とした場合、反転入力信号V<sub>in</sub>（-）と、非反転入力信号V<sub>in</sub>（+）は、図10に示したものと入れ替わり、入力端子11aが信号電圧V<sub>in</sub>（+）を受ける非反転入力端子となり、入力端子11bが信号電圧V<sub>in</sub>（-）を受ける反転入力端子V<sub>in</sub>（-）となる。

#### 【0116】

上記実施例において、5 V系において、高V T-T F Tの閾値は、例えば±1. 0～±1. 2、低V T-T F Tの閾値は、例えば±0. 0～±0. 2程度とされる。ただし、+はnチャネル型T F T、-はpチャネル型T F Tの閾値（pチャネル型T F Tがオンするときのゲート・ソース間電圧）である。pチャネル型T F Tの閾値の高低については、符号をとった絶対値で比較し、閾値0. 2（-0. 2の絶対値）の方が閾値1. 2（-1. 2の絶対値）よりも低いという。

#### 【0117】

以上本発明について図面を参照して実施例を説明したが、本発明は、上記実施例にのみ限定されるものではなく、本願特許請求の範囲の各請求項の範囲内で当業者であればなしうるであろう各種変形、修正を含むことはもちろんである。

#### 【0118】

例えば、上記実施例では、多結晶シリコン薄膜トランジスタ（polycrystalline silicon TFT）を例に説明したが、本発明において、トランジスタのチャネル領域は多結晶シリコン薄膜に限定されるものでないことは勿論である。例えばシリコン結晶粒径の拡大により、トランジスタのチャネル領域が一つの粒内に位置するような場合も、本発明は含む。

#### 【0119】

また、レーザー結晶化による多結晶シリコン膜の形成は、固相成長による結晶化であっても構わない。

#### 【0120】

なお、本発明の作用効果は、薄膜半導体装置の製造方法によってのみ限定的に実現可能とされるものではない。上記実施例では、少ない工程数で実現する製造方法と併せて本発明を説明したが、チャネルドープを複数回に分けて同一チャネル型で異なるV TのT F Tを形成することも可能である。この場合には、工程数が増加する（製造コストが上昇）が、例えば製造コストよりも、回路性能が重視される場合には、本発明の実施例（図7～図11、図17～図20）で説明したような構成とすることにより、回路性能を向上することができる。他の製造方法で構成した場合についても同様である。

#### 【0121】

しかしながら、上記実施例で説明した製造方法を用いることで、製造コストの上昇を抑止しながら、回路性能の向上を実現することができる。

#### 【図面の簡単な説明】

#### 【0122】

【図1】本発明の一実施形態に係る薄膜半導体装置の構成を示す断面図である。

【図2】本発明の一実施形態に係る薄膜半導体装置の製造方法（Bドーピング）を示す工程断面図である。

【図3】本発明の一実施形態に係る薄膜半導体装置の製造方法（Bドーピング）を示す工程断面図である。

【図4】本発明の一実施形態に係る薄膜半導体装置の他の製造方法（Pドーピング）を示す工程断面図である。

【図5】本発明の一実施形態に係る薄膜半導体装置の他の製造方法（B全面ドーピング及びP打ち返し）を示す工程断面図である。

【図6】本発明の一実施形態に係る薄膜半導体装置の他の製造方法（P全面ドーピング及びB打ち返し）を示す工程断面図である。

【図7】本発明の一実施形態に係るアナログ回路の構成を示す回路図である。

【図8】本発明の第1の実施例に係る差動増幅回路の構成を示す回路図である。

【図9】本発明の第2の実施例に係る差動増幅回路の他の構成を示す回路図である。

【図10】本発明の第3の実施例に係る差動増幅回路の他の構成を示す回路図である。

。

【図11】本発明の第4の実施例に係る駆動回路の構成を示す回路図である。

【図12】本発明の第5の実施例に係る液晶表示装置の駆動回路の構成を示す図である。

【図 13】 本発明の第 5 の実施例に係る有機 EL 表示装置の駆動回路の構成を示す図である。

【図 14】 本発明の第 5 の実施例に係るデータドライバの具体的構成を示す図である。

【図 15】 本発明の第 5 の実施例に係るメモリの具体的構成を示す図である。

【図 16】 本発明の効果を説明するための回路図である。

【図 17】 本発明の第 6 の実施例に係る差動増幅回路の回路構成を示す図である。

【図 18】 本発明の第 7 の実施例に係るソースフォロワ増幅回路の回路構成を示す図である。

【図 19】 本発明の第 8 の実施例に係る差動回路の回路構成を示す図である。

【図 20】 本発明の第 9 の実施例に係る差動回路の回路構成を示す図である。

【符号の説明】

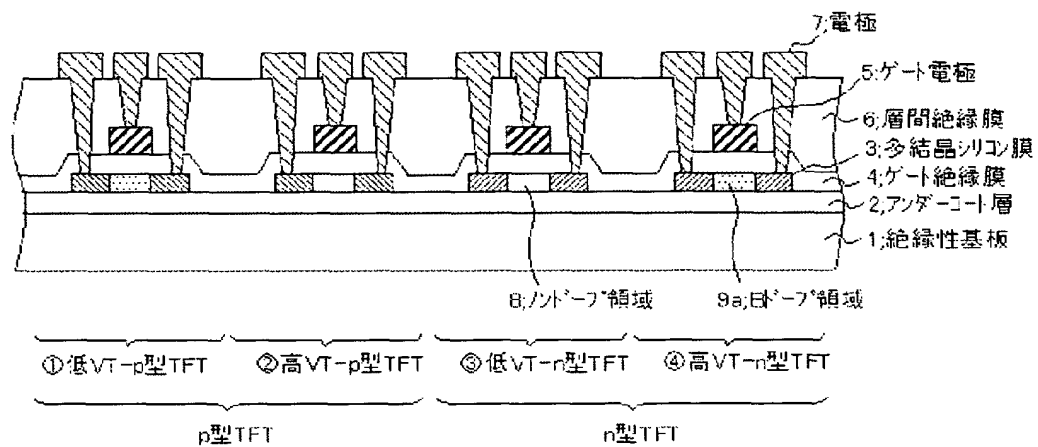
【0123】

- 1 絶縁性基板
- 2 アンダーコート層
- 3 多結晶シリコン膜
- 3 a アモルファスシリコン膜
- 4 ゲート絶縁膜
- 5 ゲート電極
- 6 層間絶縁膜
- 7 電極
- 8 ノンドープ領域
- 9 a、9 d B ドープ領域
- 9 b、9 c P ドープ領域
- 10 a、10 b、10 c レジストパターン
- 11、11 a、11 b 入力端子
- 12 出力端子
- 13 高電位側電源端子
- 14 低電位側電源端子
- 20 低 V T-T F T を含むアナログ回路
- 21 低 V T-T F T で構成したスイッチ
- 22 高 V T-T F T で構成したスイッチ
- 23 差動段
- 24 差動段
- 30 差動増幅回路
- 31 絶縁基板 (T F T 基板)
- 32 表示部
- 33 ゲートドライバ
- 34 データドライバ
- 35 電源回路
- 36 表示コントローラ
- 37 メモリ
- 38 コモンドライバ
- 40 差動増幅回路
- 41 T F T
- 42 ゲート線
- 43 データ線
- 44 コモン線
- 45 液晶容量
- 46 蓄積容量

5 1 スイッチング T F T  
5 2 ゲート線  
5 3 データ線  
5 4 電流制御 T F T  
5 5 O L E D  
1 0 0 増幅回路  
1 0 1、1 0 2、2 0 1、2 0 2 差動対  
1 0 3、1 0 4、2 0 3、2 0 4、9 1 3、9 1 4 カレントミラー回路  
1 0 5、1 0 7、2 0 5、2 0 7、9 1 5 電流源  
1 0 6、9 0 1 Pチャネルトランジスタ  
1 3 1、1 3 2 相補型スイッチ  
2 0 0 階調電圧発生回路  
2 0 6、9 0 2 Nチャネルトランジスタ  
3 0 0 デコーダ  
4 0 0 ラッチ  
5 0 0 出力端子群  
5 0 1 ~ 5 0 3、6 0 1、6 0 2、9 0 3、9 0 4 トランジスタスイッチ  
5 0 4、6 0 4 トランジスタスイッチ  
5 1 1 Pチャネルトランジスタ  
5 1 2 Nチャネルトランジスタ  
6 0 0 メモリセルアレイ  
7 0 0 データ入力バッファ  
8 0 0 データ出力バッファ  
9 0 0 センスアンプ  
9 5 1 低 V T - T F T スイッチ

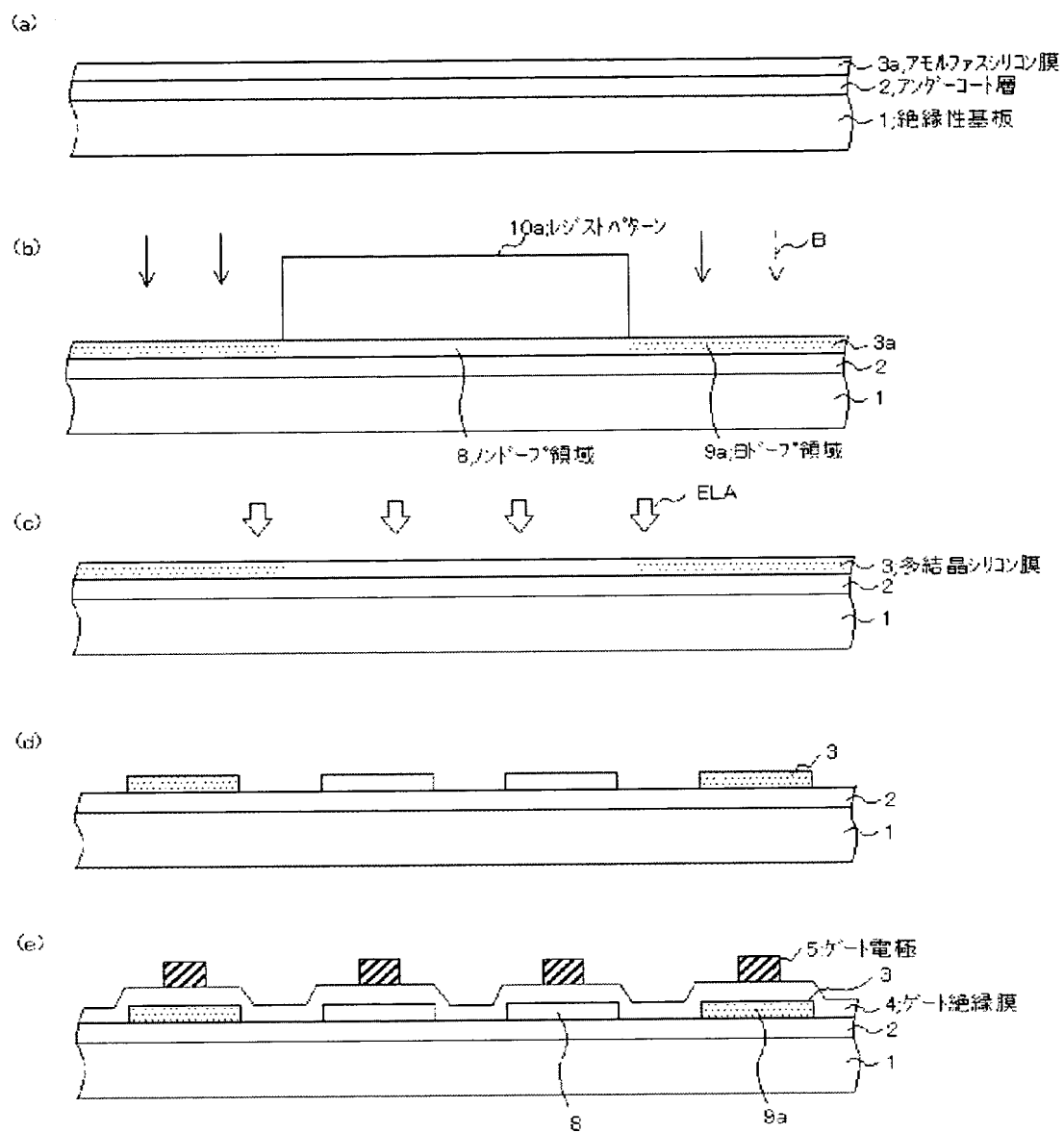
【書類名】 図面

【図 1】

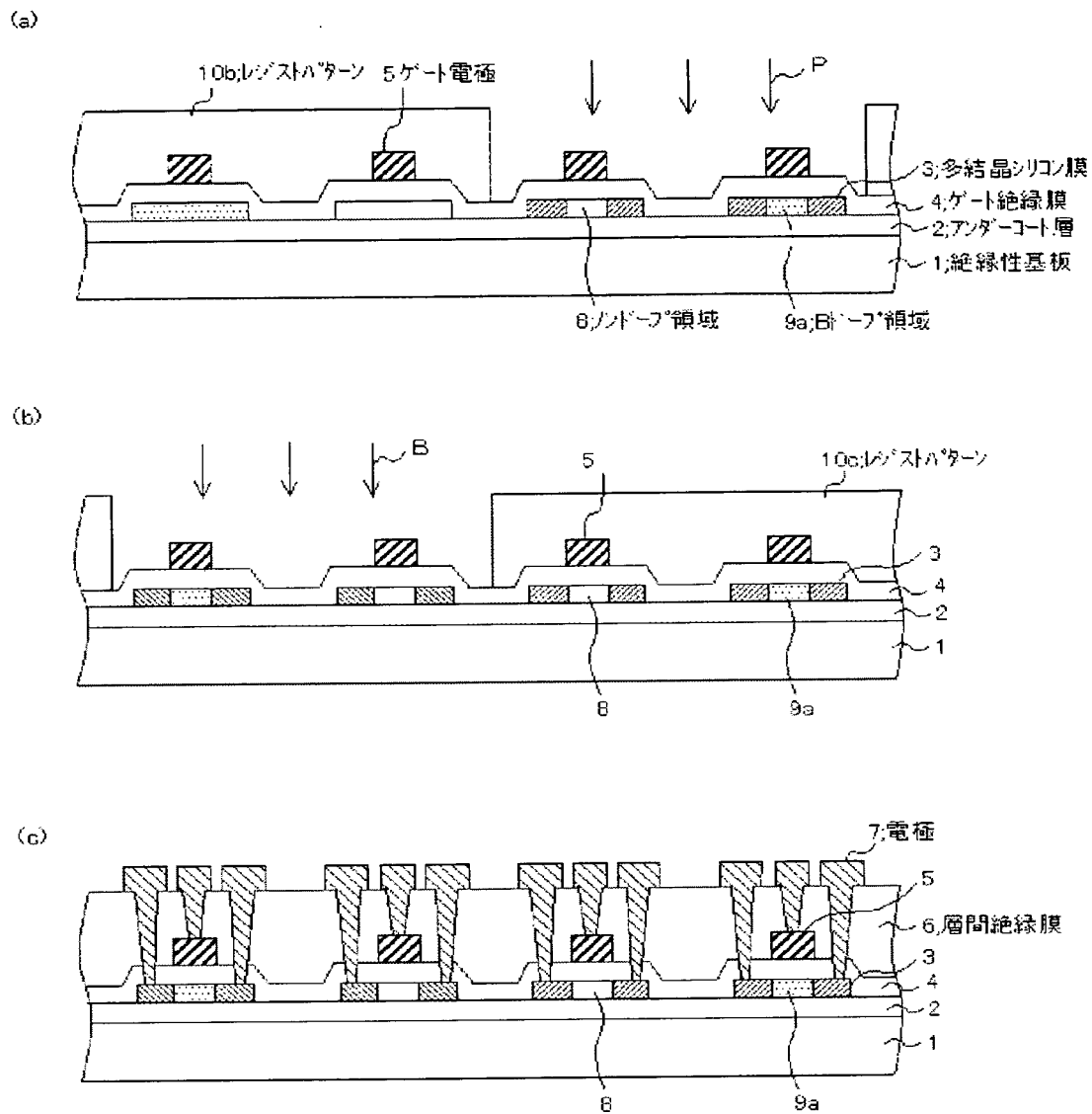




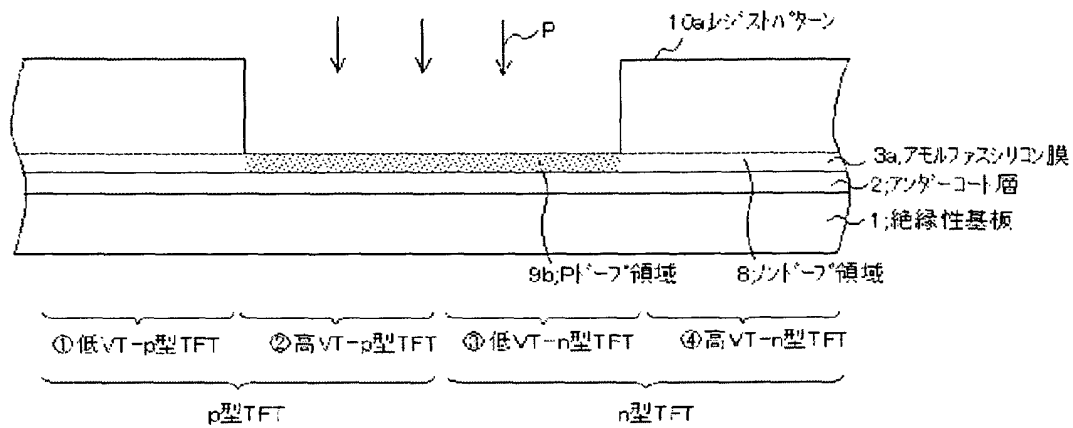
【図 2】



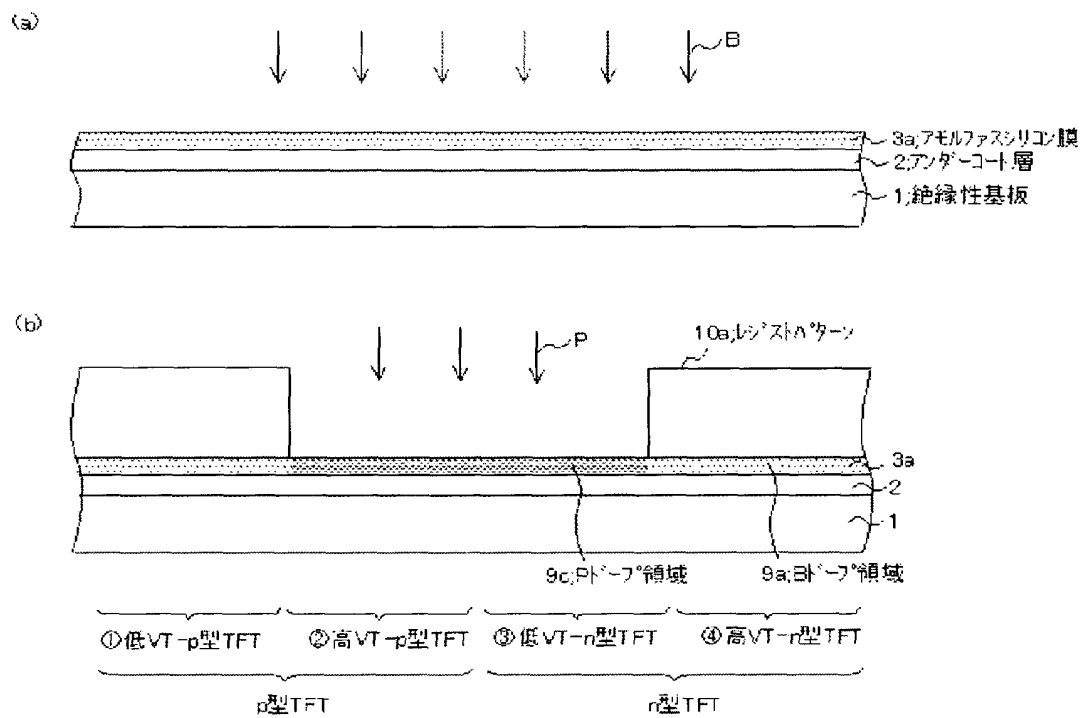
【図 3】



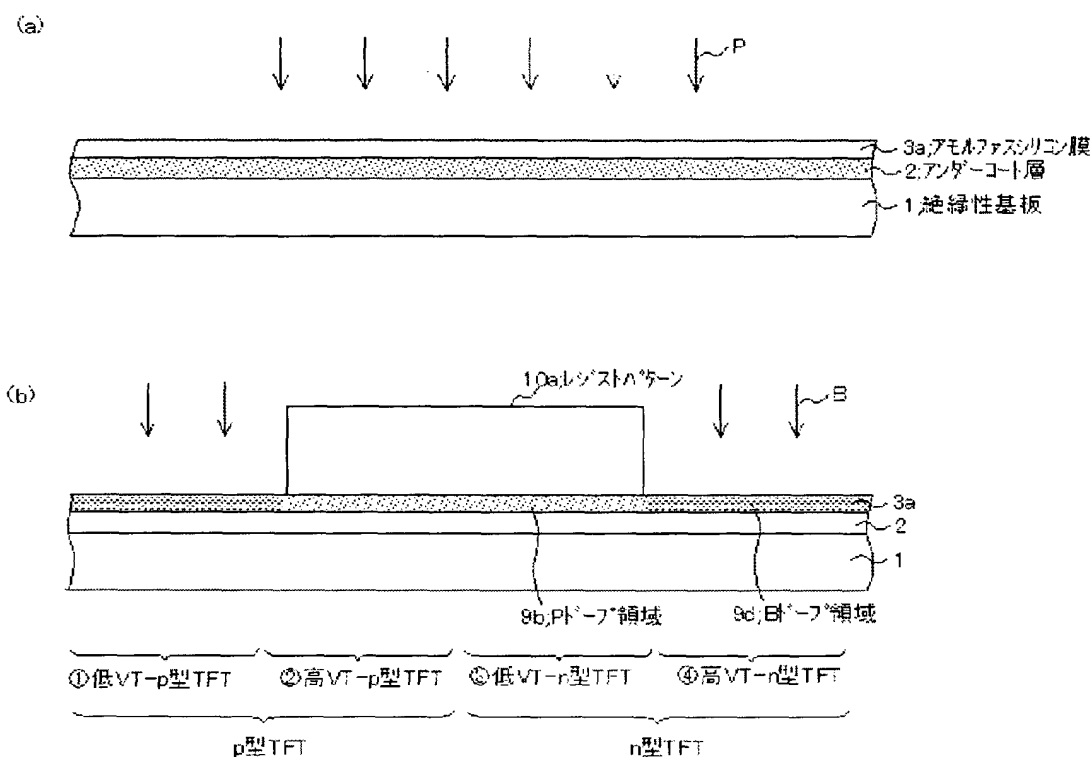
【図 4】



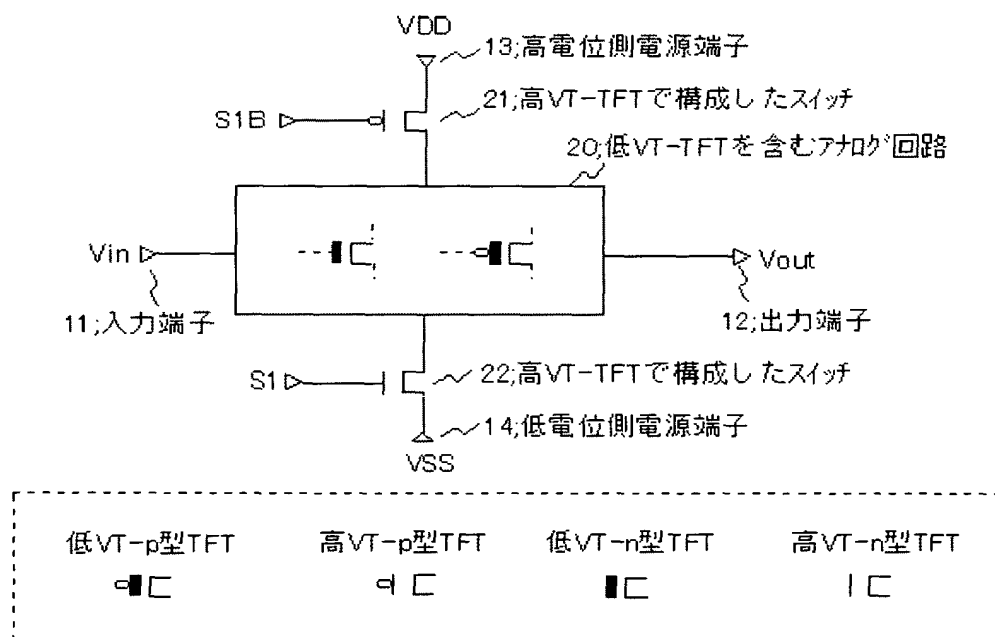
【図 5】



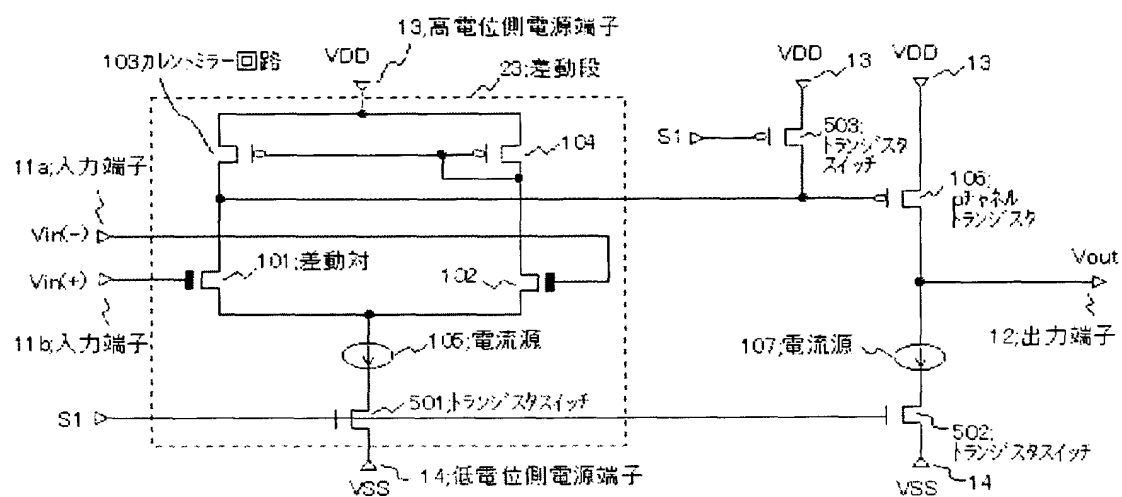
【図 6】



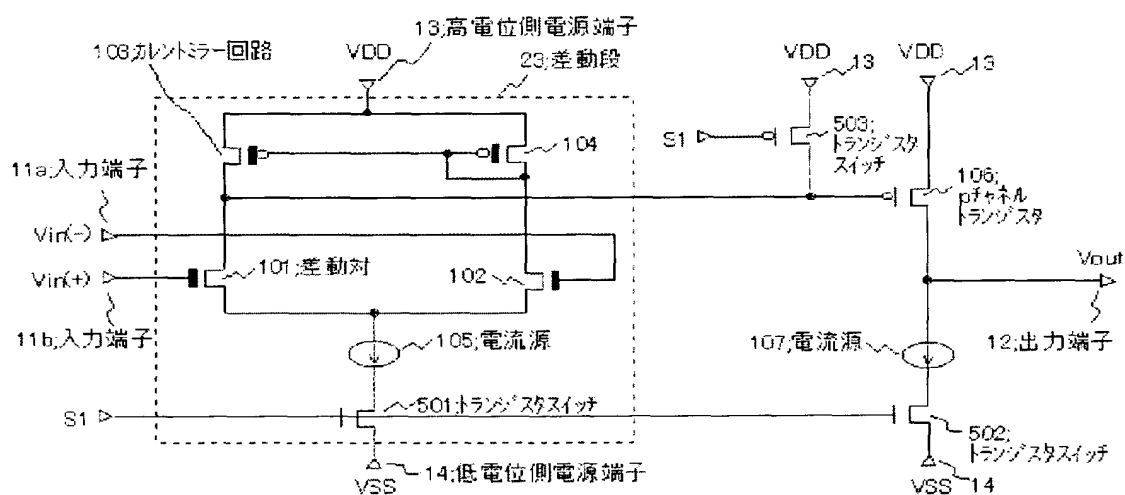
【図 7】



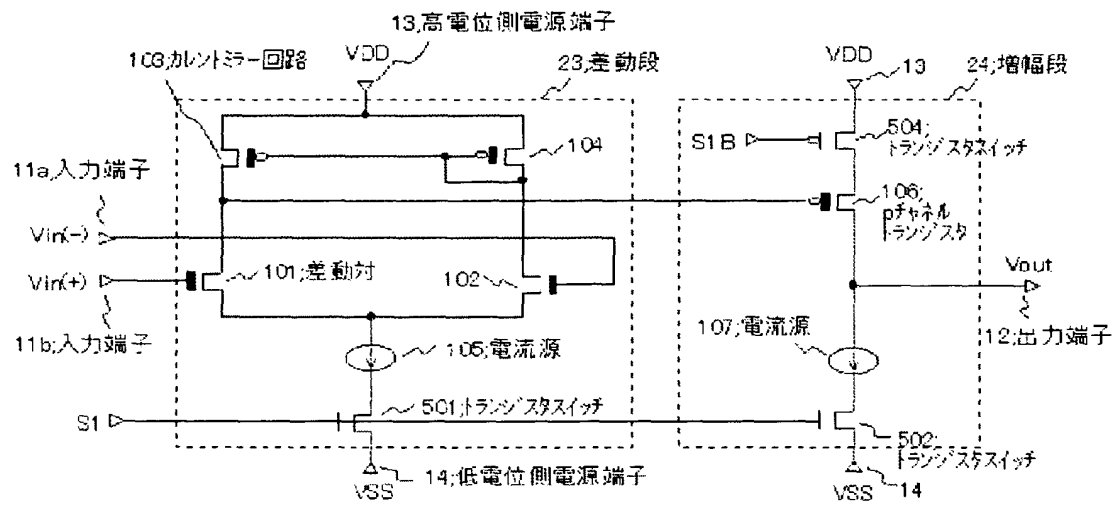
【図8】



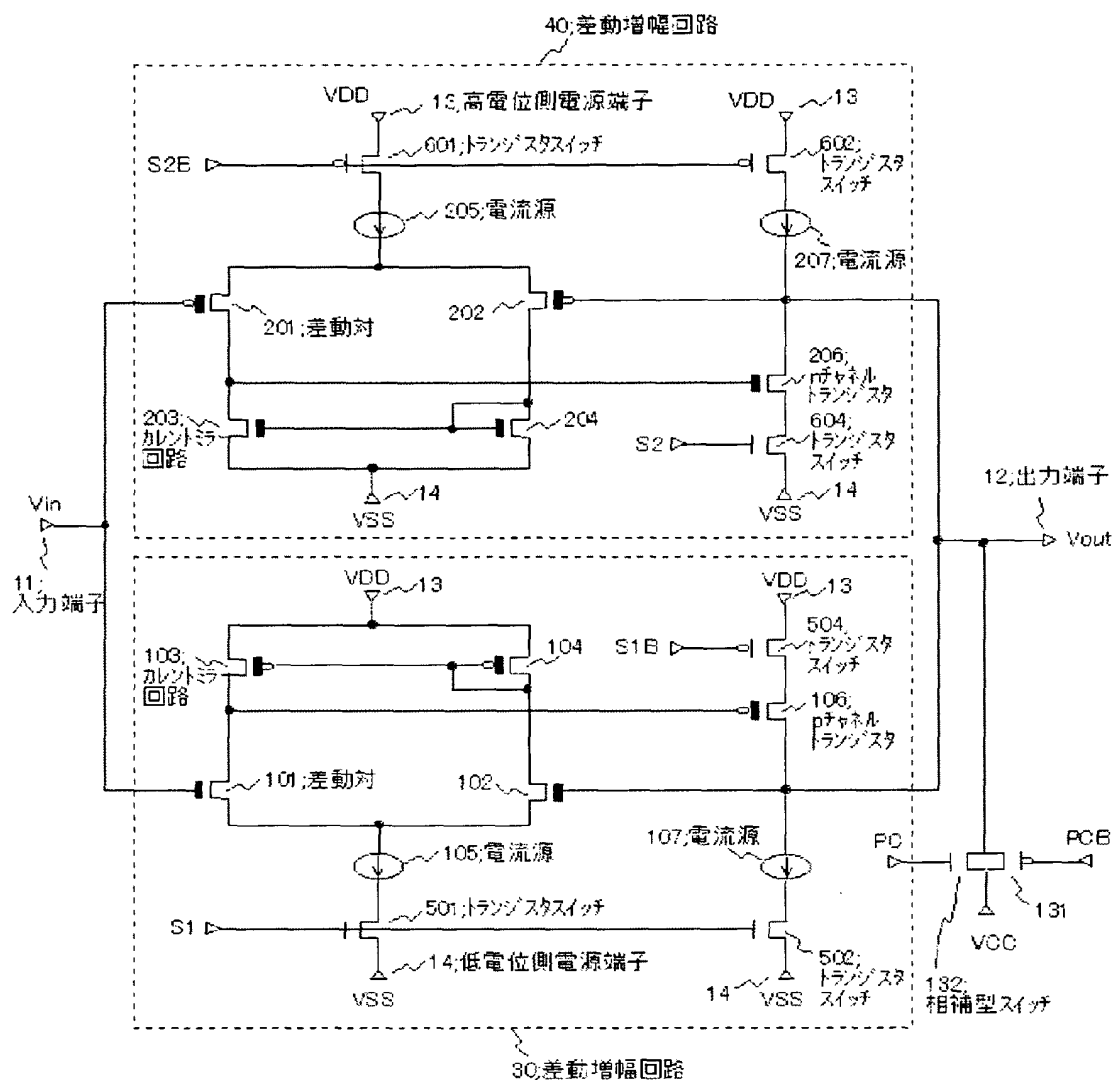
【図9】



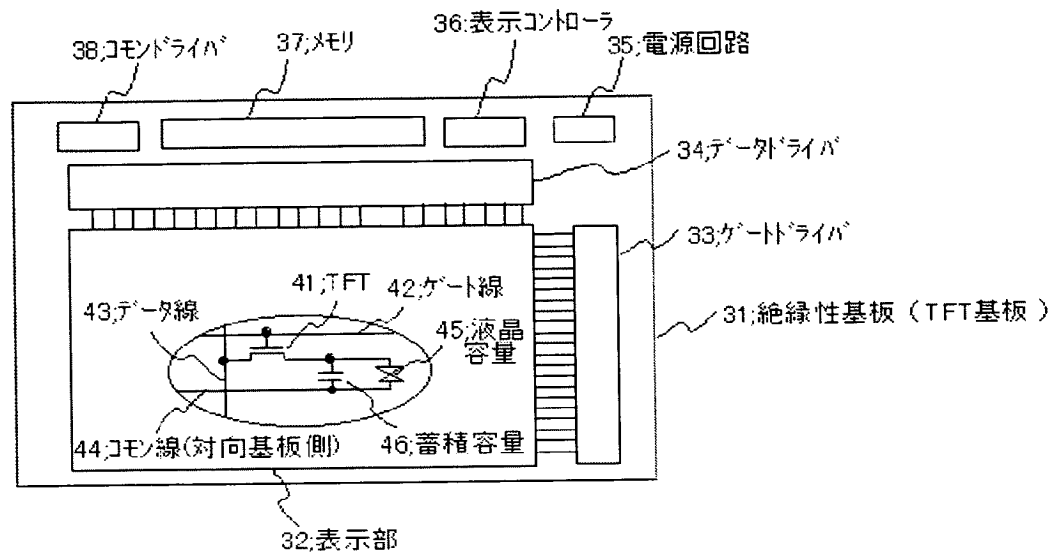
【図 10】



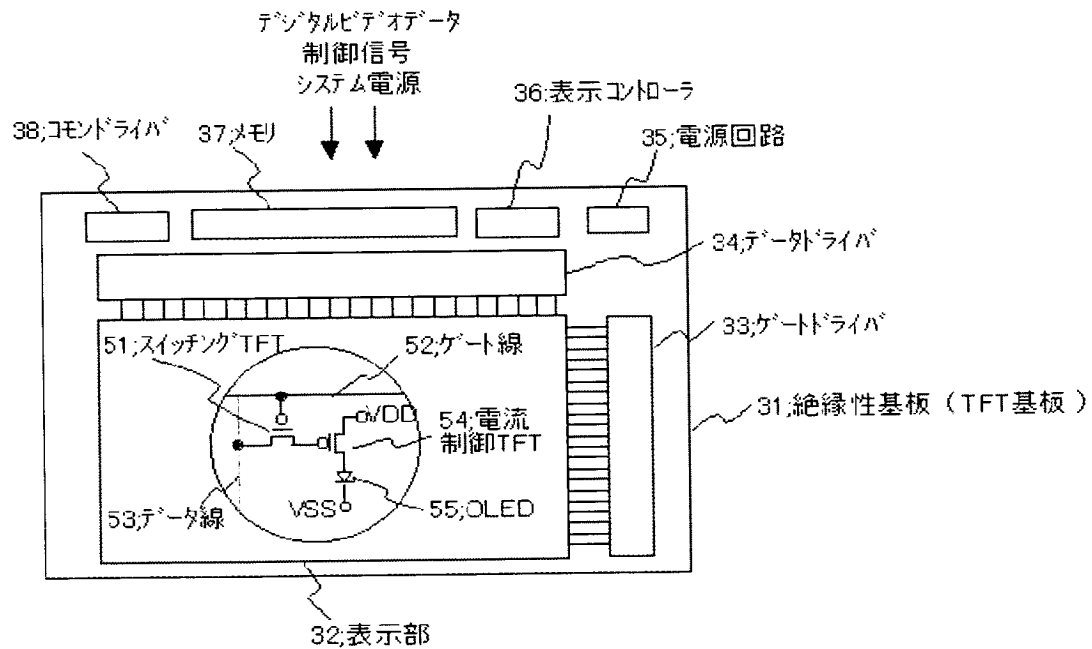
【図 11】



【図 12】

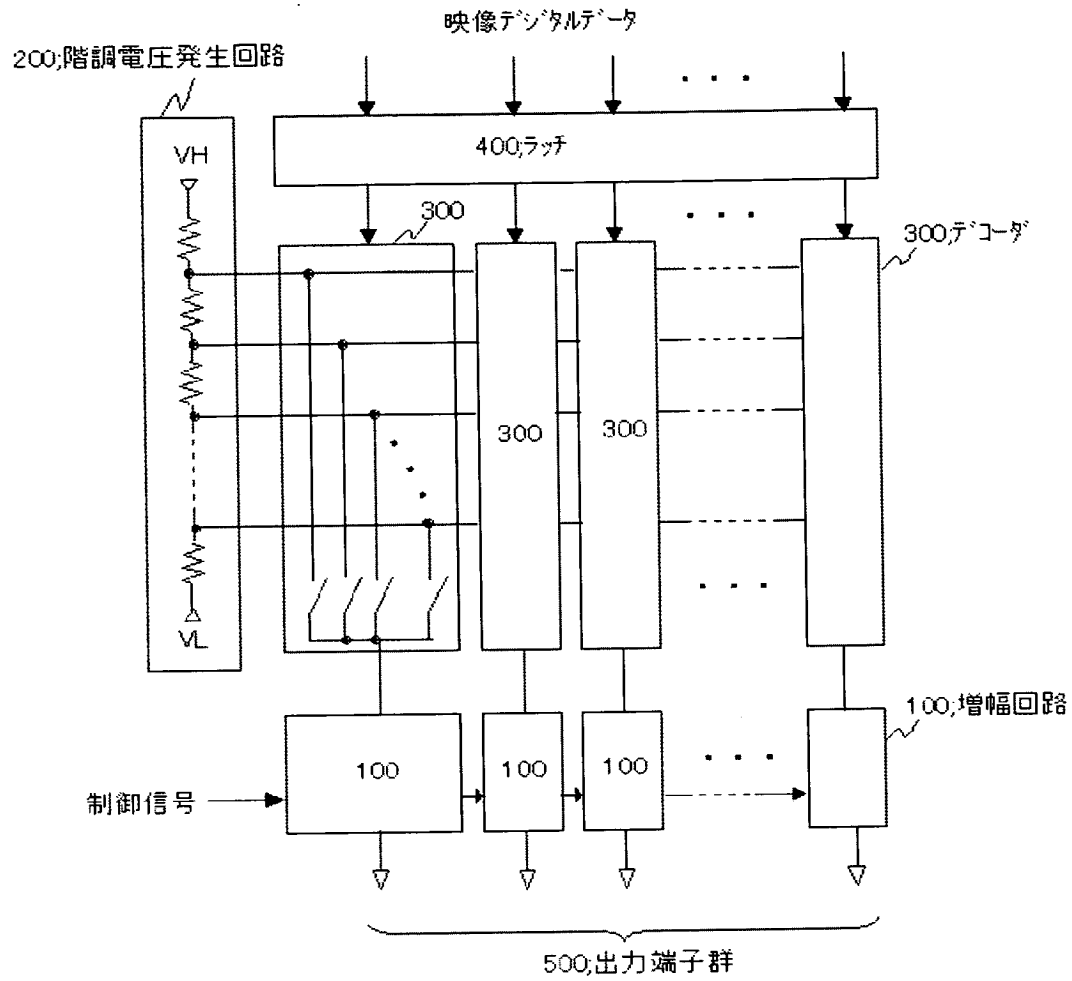


【図 13】

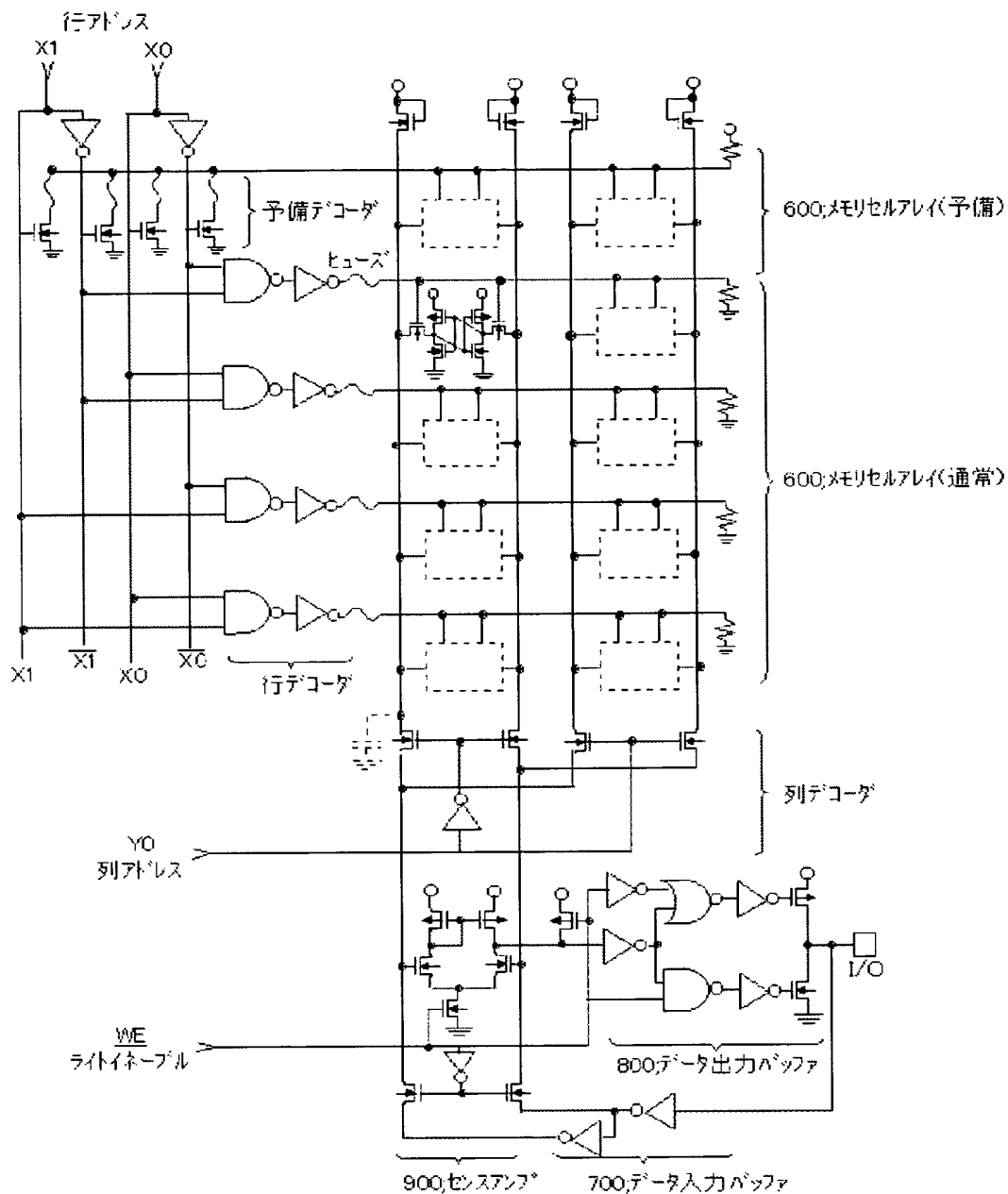




【図 14】

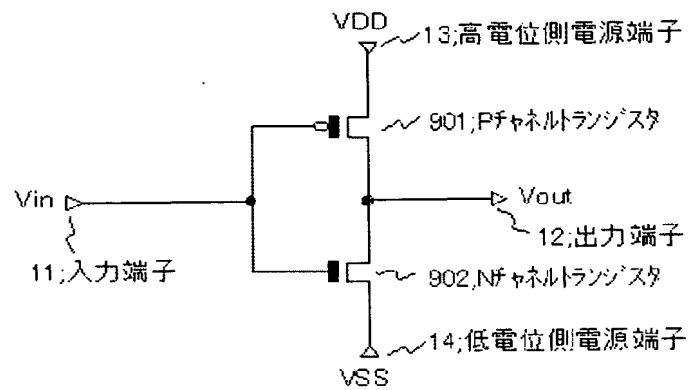


【図 15】

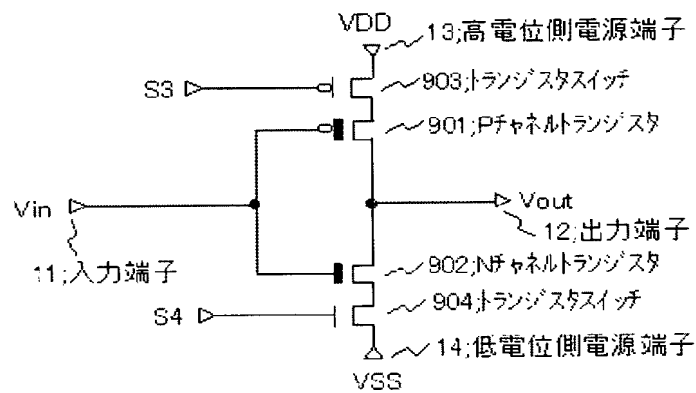


【図 16】

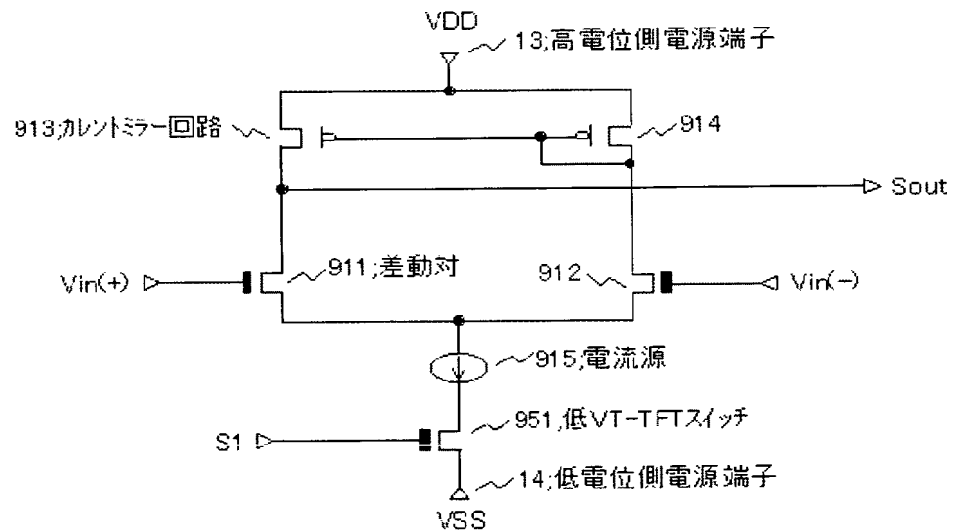
(a)



(b)

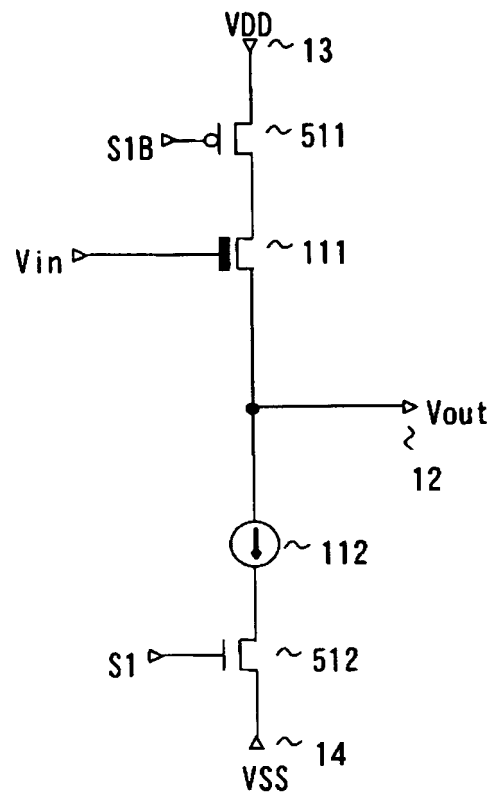


(c)

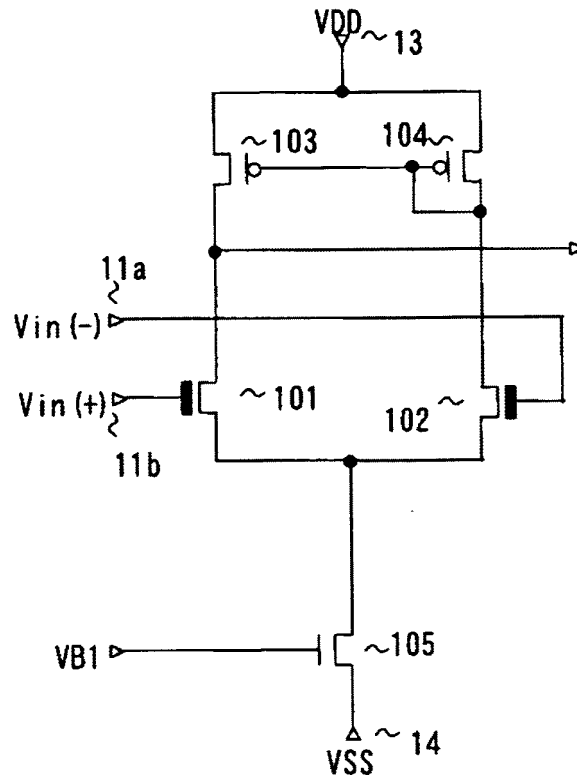




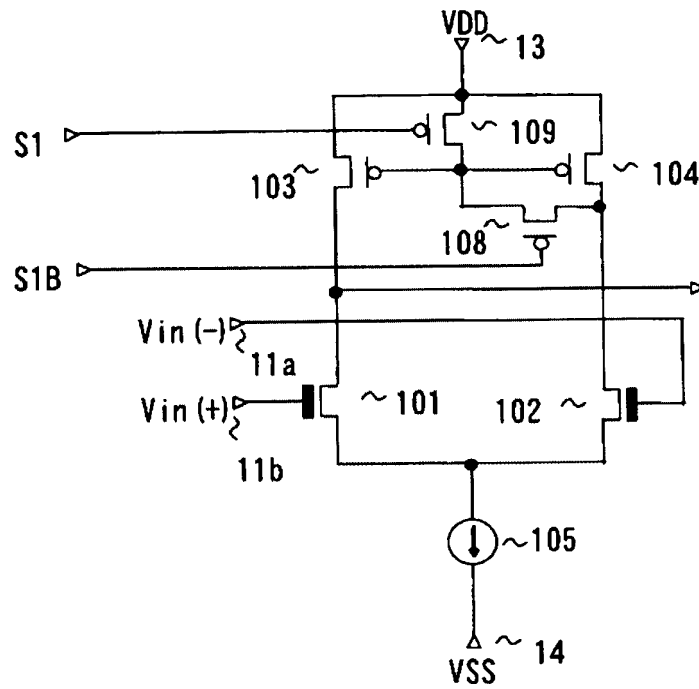
【図 18】



【図 19】



【図 20】



## 【書類名】要約書

## 【要約】

## 【課題】

工程を複雑にすることなく、多結晶シリコン膜に回路特性に適した n チャンネル型 T F T と p チャンネル型 T F T を形成することができる薄膜半導体装置及びその製造方法の提供。

## 【解決手段】

ガラス基板 1 上に形成した多結晶シリコン膜 3 に n チャンネル型 T F T 及び p チャンネル型 T F T を形成する際に、n チャンネル型 T F T の一部及び p チャンネル型 T F T の一部のチャンネル領域に、同時に P 型又は N 型のドーパントを導入する工程を含むものであり、1 回のチャンネルドーピングで、低 V T 及び高 V T の p チャンネル型 T F T の組と、低 V T 及び高 V T の n チャンネル型 T F T の組とを形成することができ、この方法を用いて、ロジックやスイッチ回路にはオフ電流を小さくできる高 V T - T F T を、アナログ回路にはダイナミックレンジを大きくできる低 V T - T F T を形成することにより、薄膜半導体装置の性能の向上を図る。

## 【選択図】

図 1



特願 2 0 0 3 - 2 8 5 7 8 0

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 4 2 3 7 ]

1 . 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

東京都港区芝五丁目 7 番 1 号

氏 名

日本電気株式会社